

PATENT  
81790.0304  
Express Mail Label No. EV 324 110 729 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Yasuhiko HONDA

Serial No: Not assigned

Filed: October 22, 2003

For: Semiconductor Memory Device Having  
a Burst Continuous Read Function

Art Unit: Not assigned

Examiner: Not assigned

**TRANSMITTAL OF PRIORITY DOCUMENT**

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2003-205379 which was filed August 1, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

By: 

Anthony J. Orler  
Registration No. 41,232  
Attorney for Applicant(s)

Date: October 22, 2003

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

0350643

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2003年  8月  1日  
Date of Application:

出願番号      特願2003-205379  
Application Number:

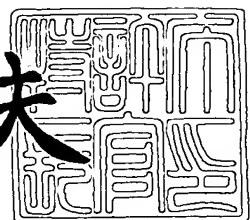
[ST. 10/C] :      [JP2003-205379]

出願人      株式会社東芝  
Applicant(s):

2003年  9月 25日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3078922

【書類名】 特許願  
【整理番号】 A000303500  
【提出日】 平成15年 8月 1日  
【あて先】 特許庁長官 殿  
【国際特許分類】 G11C 17/00  
【発明の名称】 半導体記憶装置  
【請求項の数】 16  
【発明者】  
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
イクロエレクトロニクスセンター内  
【氏名】 本多 泰彦  
【特許出願人】  
【識別番号】 000003078  
【氏名又は名称】 株式会社 東芝  
【代理人】  
【識別番号】 100058479  
【弁理士】  
【氏名又は名称】 鈴江 武彦  
【電話番号】 03-3502-3181  
【選任した代理人】  
【識別番号】 100091351  
【弁理士】  
【氏名又は名称】 河野 哲  
【選任した代理人】  
【識別番号】 100088683  
【弁理士】  
【氏名又は名称】 中村 誠

**【選任した代理人】****【識別番号】** 100108855**【弁理士】****【氏名又は名称】** 蔵田 昌俊**【選任した代理人】****【識別番号】** 100084618**【弁理士】****【氏名又は名称】** 村松 貞男**【選任した代理人】****【識別番号】** 100092196**【弁理士】****【氏名又は名称】** 橋本 良郎**【手数料の表示】****【予納台帳番号】** 011567**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 複数のメモリセルが配列されたバンクと、

前記バンクから読み出されたデータを伝送する 1 ワード分のビット幅を有するデータ線と、

前記バンクのメモリセルからリード・アドレスに応じて読み出されたデータを検出する複数のセンスアンプと、

前記各センスアンプから出力されるデータをそれぞれ保持する複数の第 1 の保持回路と、

前記リード・アドレスがバースト・アドレスに対して進んでいる時間分遅れて、前記各第 1 の保持回路から出力されるデータをそれぞれ保持する複数の第 2 の保持回路と、

前記複数の第 2 の保持回路に保持されたデータを対応する前記データ線にそれぞれ供給するデコーダと

を具備することを特徴とする半導体記憶装置。

【請求項 2】 クロック信号に応じて、前記リード・アドレスが前記バースト・アドレスに対して進んでいる時間分、前記リード・アドレスを遅延し、前記第 2 の保持回路の制御信号を生成する遅延回路をさらに具備することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 複数のメモリセルが配列された第 1 のバンクと、

複数のメモリセルが配列された第 2 のバンクと、

前記第 1 、第 2 のバンクの一方から読み出されたデータをバースト・アドレスに応じて読み出す出力回路と、

前記第 1 、第 2 のバンクの一方が選択され、選択された一方のバンクのデータが前記バースト・アドレスより一定時間進んだリード・アドレスに応じて読み出された後、前記第 1 、第 2 のバンクの他方が選択された時、前記リード・アドレスが前記バースト・アドレスに対して進んでいる時間分遅れて前記第 1 、第 2 のバンクの他方を選択する選択回路と

を具備することを特徴とする半導体記憶装置。

【請求項 4】 前記第1のバンクから読み出されたデータを伝送する1ワード分のビット幅を有する第1のデータ線と、

前記第2のバンクから読み出されたデータを伝送する1ワード分のビット幅を有する第2のデータ線と、

前記第1のバンクのメモリセルから前記リード・アドレスに応じて読み出されたデータを検出する複数の第1のセンスアンプと、

前記第2のバンクのメモリセルから前記リード・アドレスに応じて読み出されたデータを検出する複数の第2のセンスアンプと、

前記第1のセンスアンプから出力されたデータをそれぞれ保持する複数の第1の保持回路と、

前記第2のセンスアンプから出力されたデータをそれぞれ保持する複数の第2の保持回路と、

前記リード・アドレスが前記バースト・アドレスに対して進んでいる時間分遅れて、前記各第1の保持回路から出力されるデータをそれぞれ保持する複数の第3の保持回路と、

前記リード・アドレスが前記バースト・アドレスに対して進んでいる時間分遅れて、前記各第2の保持回路から出力されるデータをそれぞれ保持する複数の第4の保持回路と、

前記複数の第3の保持回路に保持されたデータを対応する前記第1のデータ線にそれぞれ供給する第1のデコーダと、

前記複数の第4の保持回路に保持されたデータを対応する前記第2のデータ線にそれぞれ供給する第2のデコーダと、

前記第1、第2のバンクのうちの一方のバンクのデータを出力した後、前記リード・アドレスが前記バースト・アドレスに対して進んでいる時間分遅れて、他方のバンクのデータを選択するための信号を生成するバンク選択信号発生回路とを具備することを特徴とする請求項3記載の半導体記憶装置。

【請求項 5】 クロック信号に応じて、前記リード・アドレスが前記バースト・アドレスに対して進んでいる時間分、前記リード・アドレスを遅延し、前記

第3、第4の保持回路の制御信号を生成する遅延回路をさらに具備することを特徴とする請求項3記載の半導体記憶装置。

**【請求項6】** 前記バンク選択信号発生回路は、クロック信号に応じて、前記リード・アドレスが前記バースト・アドレスに対して進んでいる時間分、バンク選択信号を遅延する遅延回路をさらに具備することを特徴とする請求項3記載の半導体記憶装置。

**【請求項7】** 複数のメモリセルが配列された第1のバンクと、  
複数のメモリセルが配列された第2のバンクと、  
前記第1、第2のバンクの不良ブロックのデータを記憶する複数のメモリセル  
が配列された冗長記憶部と、  
前記不良ブロックのアドレスを記憶するアドレス記憶部と、  
前記第1、第2のバンクの一方のデータを読み出すためのアドレスと前記アド  
レス記憶部に記憶された不良ブロックのアドレスとを比較し、これらが一致した  
場合、一致信号を出力する比較部と、  
前記比較部から一致信号が出力されたとき、前記リード・アドレスが前記バー  
スト・アドレスに対して進んでいる時間分遅れて前記冗長記憶部を選択する選択  
回路と  
を具備することを特徴とする半導体記憶装置。

**【請求項8】** 前記第1のバンクから読み出されたデータを伝送する1ワー  
ド分のビット幅を有する第1のデータ線と、  
前記第2のバンク及び前記冗長記憶部から読み出されたデータを伝送する1ワ  
ード分のビット幅を有する第2のデータ線と、  
前記第1のバンクのメモリセルからリード・アドレスに応じて読み出されたデ  
ータを検出する複数の第1のセンスアンプと、  
前記第2のバンクのメモリセル及び前記冗長記憶部のメモリセルの一方からリ  
ード・アドレスに応じて読み出されたデータを検出する複数の第2のセンスアン  
プと、  
前記複数の第1のセンスアンプから出力されたデータをそれぞれ保持する複数  
の第1の保持回路と、

前記複数の第2のセンスアンプから出力されたデータをそれぞれ保持する複数の第2の保持回路と、

前記リード・アドレスがバースト・アドレスに対して進でいる時間分遅れて、前記各第1の保持回路から出力されるデータをそれぞれ保持する複数の第3の保持回路と、

前記リード・アドレスが前記バースト・アドレスに対して進でいる時間分遅れて、前記各第2の保持回路から出力されるデータをそれぞれ保持し、前記比較回路から前記一致信号が出力された時、前記リード・アドレスがバースト・アドレスに対して進でいる時間分遅れて、前記各第2の保持回路から出力されるデータをそれぞれ保持する複数の第4の保持回路と、

前記複数の第3の保持回路に保持されたデータを対応する前記第1のデータ線にそれぞれ供給する第1のデコーダと、

前記複数の第4の保持回路に保持されたデータを対応する前記第2のデータ線にそれぞれ供給する第2のデコーダと、

前記第1、第2のバス線に接続され、前記比較回路から前記一致信号が出力された時、前記第1、第2のバンクのうちの一方のバンクのデータを出力した後、前記リード・アドレスがバースト・アドレスに対して進んでいる時間分遅れて、前記冗長記憶部のデータを出力する出力回路と

をさらに具備することを特徴とする請求項7記載の半導体記憶装置。

【請求項9】 複数のメモリセルが配列されたバンクと、

前記バンクから読み出された偶数番目のデータを伝送する1ワード分のビット幅を有する第1のデータ線と、

前記バンクから読み出された奇数番目のデータを伝送する1ワード分のビット幅を有する第2のデータ線と、

前記バンクのメモリセルからリード・アドレスに応じて読み出された偶数番目のデータを検出する複数の第1のセンスアンプと、

前記バンクのメモリセルからリード・アドレスに応じて読み出された奇数番目のデータを検出する複数の第2のセンスアンプと、

前記各第1のセンスアンプから出力されるデータをそれぞれ保持する複数の第

1 の保持回路と、

前記各第 2 のセンスアンプから出力されるデータをそれぞれ保持する複数の第 2 の保持回路と、

前記リード・アドレスがバースト・アドレスに対して進んでいる時間分遅れて、前記各第 1 の保持回路から出力されるデータをそれぞれ保持する複数の第 3 の保持回路と、

前記第 3 の保持回路より 1 クロック遅れて、前記各第 2 の保持回路から出力されるデータをそれぞれ保持する複数の第 4 の保持回路と、

前記各第 3 の保持回路に保持されたデータを前記第 1 のデータ線に供給する第 1 のデコーダと、

前記各第 4 の保持回路に保持されたデータを前記第 2 のデータ線に供給する第 2 のデコーダと、

前記第 1 、第 2 のデータ線に接続され、前記第 1 、第 2 のデータ線により伝送されたデータを交互に出力する出力回路と

を具備することを特徴とする半導体記憶装置。

**【請求項 10】** 前記第 1 、第 2 のデコーダは、 2 クロックの周期で動作し、互いに 1 クロックの位相差を有することを特徴とする請求項 9 記載の半導体記憶装置。

**【請求項 11】** 所望のデータを前記出力回路から出力する際、前記第 1 、第 2 のデコーダは、前記データを出力する 1 クロック前に、前記データを前記第 1 、第 2 のデータ線に出力することを特徴とする請求項 10 記載の半導体記憶装置。

**【請求項 12】** それぞれ複数のメモリセルが配列された第 1 、第 2 のバンクと、

前記第 1 のバンクから読み出された偶数番目のデータを伝送する 1 ワード分のビット幅を有する第 1 のデータ線と、

前記第 1 のバンクから読み出された奇数番目のデータを伝送する 1 ワード分のビット幅を有する第 2 のデータ線と、

前記第 2 のバンクから読み出された偶数番目のデータを伝送する 1 ワード分の

ビット幅を有する第3のデータ線と、

前記第2のバンクから読み出された奇数番目のデータを伝送する1ワード分のビット幅を有する第4のデータ線と、

前記第1のバンクのメモリセルからリード・アドレスに応じて読み出された偶数番目のデータを前記第1のデータ線に出力し、前記第1のバンクのメモリセルからリード・アドレスに応じて読み出された奇数番目のデータを前記第2のデータ線に出力する第1の出力回路と、

前記第2のバンクのメモリセルからリード・アドレスに応じて読み出された偶数番目のデータを前記第3のデータ線に出力し、前記第2のバンクのメモリセルからリード・アドレスに応じて読み出された奇数番目のデータを前記第4のデータ線に出力する第2の出力回路と、

前記第1乃至第4のデータ線に接続され、前記第1、第2のバンクの選択された一方に対応する第1、第2のデータ線と第3、第4のデータ線のうちの一方から前記偶数番目のデータ及び奇数番目のデータを交互に出力する第3の出力回路と

を具備することを特徴とする半導体記憶装置。

【請求項13】 前記第1の出力回路は、

前記第1のバンクのメモリセルからリード・アドレスに応じて読み出された偶数番目のデータを検出する複数の第1のセンスアンプと、

前記第1のバンクのメモリセルからリード・アドレスに応じて読み出された奇数番目のデータを検出する複数の第2のセンスアンプと、

前記各第1のセンスアンプから出力されるデータをそれぞれ保持する複数の第1の保持回路と、

前記各第2のセンスアンプから出力されるデータをそれぞれ保持する複数の第2の保持回路と、

前記リード・アドレスがバースト・アドレスに対して進んでいる時間分遅れて、前記各第1の保持回路から出力されるデータをそれぞれ保持する複数の第3の保持回路と、

前記第3の保持回路より1クロック遅れて、前記各第2の保持回路から出力さ

れるデータをそれぞれ保持する複数の第4の保持回路と、

前記各第3の保持回路に保持されたデータを前記第1のデータ線に供給する第1のデコーダと、

前記各第4の保持回路に保持されたデータを前記第2のデータ線に供給する第2のデコーダと

を具備することを特徴とする請求項12記載の半導体記憶装置。

【請求項14】 前記第2の出力回路は、

前記第2のバンクのメモリセルからリード・アドレスに応じて読み出された偶数番目のデータを検出する複数の第3のセンスアンプと、

前記第2のバンクのメモリセルからリード・アドレスに応じて読み出された奇数番目のデータを検出する複数の第4のセンスアンプと、

前記各第3のセンスアンプから出力されるデータをそれぞれ保持する複数の第5の保持回路と、

前記各第4のセンスアンプから出力されるデータをそれぞれ保持する複数の第6の保持回路と、

前記リード・アドレスがバースト・アドレスに対して進んでいる時間分遅れて、前記各第5の保持回路から出力されるデータをそれぞれ保持する複数の第7の保持回路と、

前記第7の保持回路より1クロック遅れて、前記各第6の保持回路から出力されるデータをそれぞれ保持する複数の第8の保持回路と、

前記各第7の保持回路に保持されたデータを前記第3のデータ線に供給する第3のデコーダと、

前記各第8の保持回路に保持されたデータを前記第4のデータ線に供給する第4のデコーダと

を具備することを特徴とする請求項12記載の半導体記憶装置。

【請求項15】 前記第1、第2のデコーダは、2クロックの周期で動作し、前記第1のデコーダと前記第2のデコーダは互いに1クロックの位相差を有することを特徴とする請求項13記載の半導体記憶装置。

【請求項16】 前記第3、第4のデコーダは、2クロックの周期で動作し

、前記第3のデコーダと前記第4のデコーダは互いに1クロックの位相差を有することを特徴とする請求項14記載の半導体記憶装置。

#### 【発明の詳細な説明】

##### 【0001】

###### 【発明の属する技術分野】

本発明は、例えば不揮発性半導体記憶装置等のバースト・コンティニュアス・リード (Burst Continuous Read) 機能を有する半導体記憶装置に関する。

##### 【0002】

###### 【従来の技術】

近時、例えばフラッシュメモリのような不揮発性半導体記憶装置、あるいはダイナミックRAMは、大容量化が進んでいる。この大容量の半導体記憶装置からデータを高速に読み出すため、メモリセルアレイは複数のバンクに分割され、各バンクに複数のセンスアンプが配置され、データ線の容量削減が図られている。さらに、外部アドレスとは別の内部アドレスを用いたバースト読み出しのアーキテクチャが適用されている。

##### 【0003】

図26は、従来の半導体記憶装置の一例を示している。バンク101、102に共通に、バースト長と同数のバス線103が配置されている。これらバス線103の一端に各バンクの出力回路104、105に含まれる複数のセンスアンプが接続され、他端に出力スイッチ回路106が接続されている。出力スイッチ回路106は、バス線103と同数の同期ラッチ回路106a及びスイッチ回路106bを有している。同期ラッチ回路106aは各バス線103に伝送されたデータをそれぞれラッチする。これら同期ラッチ回路106aにラッチされたデータは、クロック信号に応じて動作するスイッチ回路106bにより順次出力される。

##### 【0004】

尚、バースト・リード・タイプの同期型マスクROMにおいて、連続読み出し動作（ギャップレス・バースト・リード）を可能とした技術が開発されている（特許文献1参照）。

**【0005】****【特許文献1】**

特開2001-167593号公報

**【0006】****【発明が解決しようとする課題】**

上記従来の半導体記憶装置において、複数のバンクに記憶されたデータを連続的に読み出すバースト・コンティニアス・リードを行う際、同期ラッチ回路106aは出力スイッチ回路106に設けられ、且つ、両バンク101、102のデータを保持可能とされている。このため、バンク101とバンク102の境界に位置するデータを連続して出力することができる。

**【0007】**

しかし、上記従来の半導体記憶装置において、センスアンプ部104、105と出力スイッチ回路106の同期ラッチ回路106aを接続するバス線103は、バースト長が、例えば8ワード（1ワード：16ビット）、128ビットである場合、128本必要となる。しかも、今後バースト長がさらに長くなる傾向があり、バス線103のエリアペナルティは一層大きくなる。

**【0008】**

本発明は、上記課題を解決するためになされたものであり、その目的とすることとは、バースト長がさらに長くなった場合においても、バス線のエリアが増大することを防止でき、且つ、確実な読み出し動作が可能な半導体記憶装置を提供しようとするものである。

**【0009】****【課題を解決するための手段】**

本発明の一態様の半導体記憶装置は、上記課題を解決するため、複数のメモリセルが配列されたバンクと、前記バンクから読み出されたデータを伝送する1ワード分のビット幅を有するデータ線と、前記バンクのメモリセルからリード・アドレスに応じて読み出されたデータを検出する複数のセンスアンプと、前記各センスアンプから出力されるデータをそれぞれ保持する複数の第1の保持回路と、前記リード・アドレスがバースト・アドレスに対して進んでいる時間分遅れて、

前記各第1の保持回路から出力されるデータをそれぞれ保持する複数の第2の保持回路と、前記複数の第2の保持回路に保持されたデータを対応する前記データ線にそれぞれ供給するデコーダとを具備している。

#### 【0010】

また、本発明の他の態様の半導体記憶装置は、複数のメモリセルが配列された第1のバンクと、複数のメモリセルが配列された第2のバンクと、前記第1、第2のバンクの一方から読み出されたデータをバースト・アドレスに応じて読み出す出力回路と、前記第1、第2のバンクの一方が選択され、選択された一方のバンクのデータが前記バースト・アドレスより一定時間進んだリード・アドレスに応じて読み出された後、前記第1、第2のバンクの他方が選択された時、前記リード・アドレスが前記バースト・アドレスに対して進んでいる時間分遅れて前記第1、第2のバンクの他方を選択する選択回路とを具備している。

#### 【0011】

さらに、本発明の他の態様の半導体記憶装置は、複数のメモリセルが配列された第1のバンクと、複数のメモリセルが配列された第2のバンクと、前記第1、第2のバンクの不良ブロックのデータを記憶する複数のメモリセルが配列された冗長記憶部と、前記不良ブロックのアドレスを記憶するアドレス記憶部と、前記第1、第2のバンクの一方のデータを読み出すためのアドレスと前記アドレス記憶部に記憶された不良ブロックのアドレスとを比較し、これらが一致した場合、一致信号を出力する比較部と、前記比較部から一致信号が出力されたとき、前記リード・アドレスが前記バースト・アドレスに対して進んでいる時間分遅れて前記冗長記憶部を選択する選択回路とを具備している。

#### 【0012】

また、本発明の他の態様に係る半導体記憶装置は、複数のメモリセルが配列されたバンクと、前記バンクから読み出された偶数番目のデータを伝送する1ワード分のビット幅を有する第1のデータ線と、前記バンクから読み出された奇数番目のデータを伝送する1ワード分のビット幅を有する第2のデータ線と、前記バンクのメモリセルからリード・アドレスに応じて読み出された偶数番目のデータを検出する複数の第1のセンスアンプと、前記バンクのメモリセルからリード・

アドレスに応じて読み出された奇数番目のデータを検出する複数の第2のセンスアンプと、前記各第1のセンスアンプから出力されるデータをそれぞれ保持する複数の第1の保持回路と、前記各第2のセンスアンプから出力されるデータをそれぞれ保持する複数の第2の保持回路と、前記リード・アドレスがバースト・アドレスに対して進んでいる時間分遅れて、前記各第1の保持回路から出力されるデータをそれぞれ保持する複数の第3の保持回路と、前記第3の保持回路より1クロック遅れて、前記各第2の保持回路から出力されるデータをそれぞれ保持する複数の第4の保持回路と、前記各第3の保持回路に保持されたデータを前記第1のデータ線に供給する第1のデコーダと、前記各第4の保持回路に保持されたデータを前記第2のデータ線に供給する第2のデコーダと、前記第1、第2のデータ線に接続され、前記第1、第2のデータ線により伝送されたデータを交互に出力する出力回路とを具備している。

### 【0013】

#### 【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。各図面において、同一部分には同一符号を付している。

### 【0014】

#### (第1の実施形態)

図1は、第1の実施形態を概略的に示している。この半導体記憶装置11は、例えば2つのバンク1、2を有している。これらバンク1、2に対応してそれぞれ出力回路12、13が配置されている。これら出力回路12、13は、後述するように、センスアンプ、第1、第2のラッチ回路、及びページデコーダを有している。さらに、バンク1、2に対応してバス線14、15が配置されている。これらバス線14、15は、例えば16本のラインにより構成されている。バス線14の一端は、出力回路12のページデコーダに接続され、バス線15の一端は、出力回路13のページデコーダに接続される。これらバス線14、15の他端は出力スイッチ回路16に接続されている。この出力スイッチ回路16は、バンク選択信号SELLEFT\_s y n, SELRIGHT\_s y nに応じてバス線14、15の一方を選択し、選択したバス線のデータをクロック信号に同期し

て出力する。

### 【0015】

図2は、図1のバンク1に対応する構成を示している。バンク1において、メモリセルアレイ(MCA)11aは、例えばNOR型のフラッシュEEPROMにより構成されている。マトリクス状に配置された複数のメモリセルMCは、ワード線WL及びビット線BLに接続されている。ロウデコーダ(RDC)11bは、アドレス信号Addの一部に応じて対応するワード線WLを選択する。カラムデコーダ(CDC)11cは、アドレス信号Addの一部に応じて、カラム選択回路(CS)11dを構成するカラム選択線CSLを選択する。カラム選択回路11dは、各ビット線BLに接続された複数のトランジスタTrを有し、これらトランジスタTrはカラム選択線CSLが活性化されることにより、ビット線BLを選択する。

### 【0016】

出力回路13は、例えば16ビット(1ワード)×8ワード=128ビット分のセンスアンプユニット12aを含んでいる。各センスアンプユニット12aの一端は、カラム選択回路11dに接続され、他端はバス線15の各ラインに接続されている。

### 【0017】

図3は、各センスアンプユニット12aの一例を示している。センスアンプユニット12aは、直列接続されたセンスアンプ21、非同期ラッチ回路(ALT)からなる第1のラッチ回路22、同期ラッチ回路(SLT)からなる第2のラッチ回路23、及びページデコーダ(PD)24により構成されている。第1のラッチ回路22は、クロック信号に依存しない制御信号SALAT及びその反転信号SALATBにより制御される。第2のラッチ回路23は、クロック信号に依存した制御信号DATA LAT及びその反転信号DATA LATBにより制御される。ページデコーダ24は、ページアドレスに応じて生成される制御信号PAGE及びその反転信号PAGEBにより制御される。このページデコーダ24は、メモリセルアレイ11aから読み出された128ビットのデータを1ページに対応した1ワード、16ビットのデータにデコードする。

### 【0018】

上記構成において、図4を参照して、バースト・コンティニュアス・リードの動作について説明する。図4は、バンク1とバンク2の境界に位置するデータを読み出す場合の動作を示している。図4に示すように、バースト・コンティニュアス・リードは、バースト・アドレスに比べて、メモリセルアレイのデータを読み出すためのバック・グランド・アドレス(BGA)が、例えば4クロック分進んでいる。例えばバースト・アドレスが“57”的とき、BGAは“61”となっている。すなわち、バースト・アドレスに対して、4クロック分先にデータが読み出されている。また、メモリセルアレイ11aからデータを読み出す場合、1回のアクセスにより、8ワード分のデータが一括して読み出される。この8ワードのデータはページアドレスに応じて制御されるページデコード24により、1ワードずつデコードされ、バス線15に順次転送される。バス線15を介して出力スイッチ回路16に伝送されたデータは、バースト・アドレスに応じて順次出力される。

### 【0019】

図4に示すように、バンク1のデータの読み出しが進み、BGAの最上位ビットA22がハイレベルとなると、バンク選択信号SELLEFT(BGA)が活性化され、バンク1からバンク2に切り替えられる。バンク2から読み出されたデータは、各センスアンプユニット12aのセンスアンプ21により検知される。また、ページアドレスを構成するビットA0～A3のうち、例えばビットA3がハイレベルとなると、アドレス遷移検出信号(ATD)が出力される。このATDから任意に設定された遅延時間DL1経過後、制御信号SALATBが活性化される。この制御信号SALATBに応じて第1のラッチ回路22が活性化され、センスアンプ21により検出されたデータが第1のラッチ回路22に保持される。

### 【0020】

上記のように、バンク2が選択されたとき、バースト・アドレスは、4ワード分遅れている。このため、バンク1からバンク2への切り替えと同時に第2のラッチ回路23の選択も切り替えてしまうと、バンク1において、読み出したデータ

タを全て出力せずに、次のバンクのデータが出力されてしまう。

### 【0021】

そこで、第1の実施形態では、バンク切り替え時のバースト・アドレスとBGAの整合性を同期的に保証している。すなわち、バンクが切り替わってから、BGAがバースト・アドレスに対して進んでいる時間分、この実施形態の場合、4クロック分遅れて、第2のラッチ回路23を活性化する。つまり、図4に示すように、バンク選択信号SELECT(BGA)が活性化されてから、4クロック経過後に制御信号DATA LATBを活性化している。さらに、出力スイッチ回路16を制御する制御信号SELECT\_syn(Burst)もバンク選択信号SELECT(BGA)が活性化されてから、4クロック経過後に活性化している。第2のラッチ回路23及び出力スイッチ回路16をこのように制御することにより、バンクが切り替わった際ににおいても、読み出しデータを確実に出力することができる。

### 【0022】

図5は、前記制御信号DATA LATBを生成する生成回路30の一例を示している。この生成回路30は、直列接続された5つのD型フリップフロップ回路(DFF)31a～31e、及び入力端がDFF31d、31eの出力端に接続されたEX-OR回路32により構成されている。ページアドレスの最上位ビットA3の信号は、DFF31aの入力端に供給されている。各DFF31a～31eには、クロック信号CLK、CLKBが供給されている。

### 【0023】

図6は、DFFの一例を示している。このDFFは、クロック信号CLK、CLKBにより制御される2段のラッチ回路により構成されている。

### 【0024】

図7は、図5の動作を示している。図7に示すように、ページアドレスの最上位ビットA3の信号は、クロック信号CLK、CLKBに応じて、DFF31a～31eに順次転送される。EX-OR回路32から出力される制御信号DATA LATBは、4クロック目にハイレベルとなる。この制御信号DATA LATBは、ページアドレスの最上位ビットA3の信号が切り替わる毎に4クロック遅

れて出力される。このようにして生成された制御信号DATA\_LATCHは、第2のラッチ回路23に供給される。このため、第2のラッチ回路23は、図4に示すように、ATDが出力される毎に、ATDから4クロック遅れて活性化され、8ワードのデータを保持する。

#### 【0025】

図8は、バンク選択回路40の一例を示している。図8に示すように、BGAの最上位ビットA22の信号は、後述する不良アドレスを検出したことを示す一致信号(HIT\_BRD)とともに、NOR回路41に供給される。このNOR回路41の出力端からバンク1を選択するバンク選択信号SELRIGHT(BGA)が出力される。さらに、NOR回路41の出力端に接続されたインバータ回路42を通してバンク2を選択するバンク選択信号SELLEFT(BGA)が出力される。これらバンク選択信号SELRIGHT(BGA)、SELLEFT(BGA)に応じてバンク1、バンク2が選択される。

#### 【0026】

図9は、出力選択回路50の一例を示している。この出力選択回路50は、直列接続された4つのdff51a～51d、及び入力端がdff51dの出力端に接続されたインバータ回路52により構成されている。例えば前記バンク選択信号SELLEFT(BGA)は、dff51aの入力端に供給される。各dff51a～51dには、クロック信号CLK、CLKBが供給されている。バンク選択信号SELLEFT(BGA)は、クロック信号CLK、CLKBに応じて、dff51a～51dに順次転送される。dff51dの出力信号SELLEFT\_synは、4クロック目にハイレベルとなる。これと同時に、インバータ回路52から出力される信号SELRIGHT\_synは、ローレベルとなる。このようにして生成された制御信号SELLEFT\_syn、SELRIGHT\_synは、出力スイッチ回路16に供給され、出力スイッチ回路16は制御信号SELLEFT\_syn、SELRIGHT\_synに応じてバス線14、15の一方を選択する。

#### 【0027】

上記第1の実施形態によれば、クロック信号に同期した複数の第2のラッチ回

路23をバンク1、バンク2にそれぞれ設け、これら第2のラッチ回路23の出力データをページデコーダ24によりデコードして、バス線14、15に接続している。このため、各バス線14、15の数をバースト長に対応した数に比べて格段に削減することができる。したがって、バースト長がさらに長くなった場合においても、バス線を配置するためのスペースを削減することが可能である。

### 【0028】

また、クロック信号に同期した第2のラッチ回路23をバンク1、バンク2のそれぞれに設け、第2のラッチ回路23をバック・グラウンド・リード・アドレス(BGA)がバースト・アドレスに対して進んでいる時間分遅延させて動作させている。さらに、出力スイッチ回路51は、BGAがバースト・アドレスに対して進んでいる時間分遅延した制御信号SELLEFT\_s yn、SELRIGHT\_s ynを出力し、出力スイッチ回路16は、これら制御信号SELLEFT\_s yn、SELRIGHT\_s ynに応じてバス線14、15の一方を選択している。すなわち、センスアンプ21及び第1のラッチ回路22は、BGAで選択されるが、第2のラッチ回路23は、BGAのバンク切り替え後、4クロック経過後、活性化されて第1のラッチ回路22の出力データを保持する。さらに、制御信号SELLEFT\_s yn、SELRIGHT\_s ynもBGAに対して4クロック分遅延されて出力される。これにより、BGAは4クロック分進むが、バースト・アドレスはその影響を受けることがない。したがって、先に選択されたバンクのデータを最後まで出力した後、後続のバンクのデータ出力処理に切り替わる。このため、クロック信号に同期した第2のラッチ回路23を各バンクに対応して設けた構成において、バンク1、バンク2の境界に位置するデータを確実に読み出し、出力することができる。

### 【0029】

(第2の実施形態)

図10は、第2の実施形態を示すものである。第2の実施形態は、本発明をブロッククリダンダンシに適用した場合を示している。例えばNOR型フラッシュEEPROMは、不良セルをブロック単位で冗長セルに置き換えるブロッククリダンダンシが採用されている。このブロッククリダンダンシは、バンク1、バンク2の

何れに生じた不良ブロックをも救済可能とするため、バンク1、バンク2とは独立して、冗長ブロック（BLKRD）61が設けられている。図10に示す実施形態の場合、冗長ブロック61はバンク2に隣接して配置されている。しかし、これは一例であり、バンク1に隣接して配置してもよい。この冗長ブロック61は、複数の不良ブロックを救済可能な容量を有している。また、この冗長ブロック61は、バンク2と同様に出力回路13に接続されている。すなわち、前記カラムデコーダ及びカラム選択回路とは別に、図示せぬ冗長カラムデコーダ及び冗長カラム選択回路が設けられており、これら冗長カラムデコーダ及び冗長カラム選択回路を用いて前記出力回路13はバンク2と冗長ブロック61に共用されている。このため、冗長ブロック61において、選択されたメモリセルアレイは、冗長カラムデコーダにより駆動される冗長カラム選択回路を介して出力回路13のセンスアンプユニット12aに接続される。冗長ブロック61の選択されたメモリセルから読み出されたデータは、このセンスアンプユニット12aを介してバス線15に供給される。

### 【0030】

図11は、不良アドレス検出回路70の一例を示している。不良アドレスメモリ71には、各バンクの不良セルのアドレスが記憶されている。アドレスカウンタ72は、入力アドレスをカウントし、内部アドレスを生成する。比較回路73は、アドレスカウンタ72から供給される内部アドレスと、不良アドレスメモリ71から供給される不良セルのアドレスとを比較する。この結果、両者が一致した場合、比較回路73は、前述した一致信号HITBRDを出力する。この一致信号HITBRDは、図8に示すバンク選択回路40のNOR回路41に供給される。バンク選択回路40は、この一致信号HITBRDに応じてバンク2側を選択するバンク選択信号SELLEFT（BGA）を出力する。

### 【0031】

図12は、第1の実施形態と同一のアーキテクチャに基づいてバースト・コンティニアス・リードを行なう場合において、不良ブロックをアクセスする際の動作を示している。

### 【0032】

図11に示すように、例えばバンク1に不良ブロックDBが存在する場合において、この不良ブロックBDを冗長ブロック61の対応するブロックに置き換える際の動作について、図12を参照して説明する。バンク1のデータを読み出す場合、バンクを選択するためのビットA22はローレベルとなっている。バンク1のデータの読み出しが進み、BGAが不良セルのアドレス“64”と一致すると、比較回路73から出力される一致信号HITBRDがハイレベルとなる。これに伴い、図8に示すバンク選択回路40は、バンク2側の選択を示すSELLLEFT(BGA)をハイレベルとする。このため、冗長ブロック61のアドレス“64”と対応するメモリセルが選択される。このとき、一致信号HITBRDに応じてバンク1, 2の読み出しが禁止される。

#### 【0033】

冗長ブロック61が選択されたとき、バースト・アドレスは、4ワード分遅れている。このため、バンク1から冗長ブロック61への切り替えと同時に第2のラッチ回路23の選択も切り替わってしまうと、バンク1において、読み出したデータを全て出力せずに、冗長ブロック61のデータが出力されてしまう。

#### 【0034】

そこで、第2の実施形態では、バンク1から冗長ブロック61への切り替え時のバースト・アドレスとBGAの整合性を同期的に保証している。すなわち、バンク1から冗長ブロック61へ切り替わってから、BGAがバースト・アドレスに対して進んでいる時間分、この実施形態の場合、4クロック分遅れて、第2のラッチ回路23を活性化する。つまり、図12に示すように、バンク選択信号SELLLEFT(BGA)が活性化されてから、4クロック経過後に制御信号DATALATBを活性化している。さらに、出力スイッチ回路16を制御する制御信号SELLLEFT\_s y n(Burst)もバンク選択信号SELLLEFT(BGA)が活性化されてから、4クロック経過後に活性化している。第2のラッチ回路23及び出力スイッチ回路16をこのように制御することにより、バンク1から冗長ブロック61へ切り替わった際ににおいても、読み出しデータを確実に出力することができる。

#### 【0035】

尚、上記例は、バンク1の不良ブロックを冗長ブロック61に置換する場合について説明したが、バンク2の不良ブロックを冗長ブロック61に置換する場合についてもほぼ同様の動作がなされる。

#### 【0036】

上記第2の実施形態によれば、バンク内の不良ブロックを冗長ブロック61に置き換える場合、冗長ブロック61が選択されてから、BGAに対するバンク・アドレスの遅れ分だけ遅延して第2のラッチ回路23を活性化し、且つ出力スイッチ回路16をBGAに対するバンク・アドレスの遅れ分だけ遅延して冗長ブロック61が接続されるバス線15を選択している。このため、不良ブロックを冗長ブロックに置換した場合においても、先に読み出したデータを確実に出力することができる。

#### 【0037】

また、第2の出力回路を第2のバンク2と冗長ブロック61とで共有している。このため、回路構成を削減でき、面積を削減することができる。

#### 【0038】

(第3の実施形態)

上記第1、第2の実施形態において、バーストリードの速度は、外部から供給されるクロック信号をトリガとし、各バンクに設けられた同期ラッチ回路に保持されたデータをデコードし、出力するまでの遅延時間により規定されている。

#### 【0039】

第3の実施形態は、バーストリードの更なる高速化を可能とするものであり、同期ラッチ回路から出力スイッチ回路までのバス線を二重化することにより、出力スイッチ回路において、次のクロック信号により出力するデータを予め読み出し可能としている。このようにして、次のクロック信号に対して同期ラッチ回路の出力をデコードするための遅延をなくし、データを高速に出力可能としている。

#### 【0040】

図13は、第3の実施形態を概略的に示している。この半導体記憶装置11は、例えば2つのバンク1、2を有している。これらバンク1、2に対応してそれ

ぞれ出力回路12、13が配置されている。これら出力回路12、13は、第1の実施形態とほぼ同様の構成とされており、複数のセンスアンプユニットを有している。これらセンスアンプユニットは、奇数ページと偶数ページに分けられている。各センスアンプユニットは、後述するように、センスアンプ、第1、第2のラッチ回路、及びページデコーダを有している。

#### 【0041】

さらに、バンク1に対応して偶数ページのデータを伝送するバス線110、及び奇数ページのデータを伝送するバス線111が配置されている。また、バンク2に対応して偶数ページのデータを伝送するバス線112、及び奇数ページのデータを伝送するバス線113が配置されている。これらバス線110～113は、1ワード、例えば16本のラインによりそれぞれ構成されている。バス線110の一端は、出力回路12の偶数ページのページデコーダに接続され、バス線111の一端は、出力回路12の奇数ページのページデコーダに接続されている。また、バス線112の一端は、出力回路13の偶数ページのページデコーダに接続され、バス線113の一端は、出力回路13の奇数ページのページデコーダに接続されている。これらバス線110～113の他端は出力スイッチ回路114に接続されている。この出力スイッチ回路114は、制御信号SELLFT\_E、SELRIGHT\_Oに応じてバス線110、111又は112、113の一方を選択し、選択した一対のバス線のデータを、偶数選択信号 EVEN、及び奇数選択信号 ODDに同期して交互に出力する。

#### 【0042】

図14は、例えば出力回路12を構成する偶数ページのセンスアンプユニット12\_Eと、奇数ページのセンスアンプユニット12\_Oの一例を示している。各ページは、16個のセンスアンプユニットにより構成されている。各センスアンプユニット12\_E、12\_Oは、直列接続されたセンスアンプ21、非同期ラッチ回路(ALT)からなる第1のラッチ回路22、同期ラッチ回路(SLT)からなる第2のラッチ回路23、及びページデコーダ(PD)24により構成されている。

#### 【0043】

第1のラッチ回路22は、クロック信号に依存しない制御信号SALAT及びその反転信号SALATBにより制御される。第2のラッチ回路23は、クロック信号に依存した制御信号及びその反転信号により制御される。すなわち、偶数ページの第2のラッチ回路23はDATALAT\_E、DATALATB\_Eにより制御され、奇数ページの第2のラッチ回路23はDATALAT\_O、DATALATB\_Oにより制御される。

#### 【0044】

ページデコーダ24は、ページアドレスに応じて生成される制御信号及びその反転信号により制御される。すなわち、偶数ページのページデコーダ24は、PAGE\_E、PAGEB\_Eにより制御され、奇数ページのページデコーダ24は、PAGE\_O、PAGEB\_Oにより制御される。偶数ページのページデコーダ24は、メモリセルアレイ11aから読み出された128ビットのデータを偶数ページに対応した1ワード、16ビットのデータにデコードする。また、奇数ページのページデコーダ24は、メモリセルアレイ11aから読み出された128ビットのデータを奇数ページに対応した1ワード、16ビットのデータにデコードする。

#### 【0045】

図15は、前記制御信号DATALATB\_E、DATALATB\_Oを生成する生成回路120の一例を示している。この生成回路120は、図5に示す生成回路30とほぼ同様の構成とされている。すなわち、直列接続された5つのD型フリップフロップ回路(DFF)31a～31e、及び入力端がDFF31d、31eの出力端に接続されたEX-OR回路32a、32bにより構成されている。ページアドレスの最上位ビットA3の信号は、DFF31aの入力端に供給されている。各DFF31a～31eには、クロック信号CLK、CLKBが供給されている。EX-OR回路32aは、DFF31cの出力信号D3とDFF31dの出力信号D4とに応じて制御信号DATALATB\_Eを出力する。EX-OR回路32bは、DFF31dの出力信号D4とDFF31eの出力信号D5とに応じて制御信号DATALATB\_Oを出力する。各DFFの構成は図6と同様である。

### 【0046】

図16は、図15の動作を示している。図17に示すように、ページアドレスの最上位ビットA3の信号は、クロック信号CLK、CLKBに応じて、DFF31a～31eに順次転送される。EX-OR回路32aから出力される制御信号DATALATB\_Eは、3クロック目にハイレベルとなり、EX-OR回路32bから出力される制御信号DATALATB\_Oは、4クロック目にハイレベルとなる。これら制御信号DATALATB\_E、DATALATB\_Oは、ページアドレスの最上位ビットA3の信号が切り替わる毎に3クロック及び4クロック遅れて出力される。このようにして生成された制御信号DATALATB\_Eは、偶数ページの第2のラッチ回路23に供給され、制御信号DATALATB\_Oは、奇数ページの第2のラッチ回路23に供給される。このため、偶数ページの第2のラッチ回路23は、ATDから3クロック遅れて活性化され、8ワードのデータを保持する。また、奇数ページの第2のラッチ回路23は、ATDから4クロック遅れて活性化され、8ワードのデータを保持する。

### 【0047】

図17は、前記制御信号PAGE\_E、PAGE\_Oを生成する生成回路130の一例を示している。この生成回路130は、複数のバイナリカウンタ（BC）130a～130g、及びデコーダ130h、130iにより構成されている。BC130aは、クロック信号CLKを常時カウントする。このBC130aの出力端には、BC130b～130dが直列接続されるとともに、BC130e～130gが直列接続される。BC130bにはクロック信号CLKと電源電圧VDDが供給され、BC130cにはクロック信号CLKとアドレスビットA1の信号が供給され、BC130dにはクロック信号CLKとアドレスビットA2の信号が供給される。BC130c、130dは、アドレスビットA1、A2の信号に応じて、カウンタ130bの出力信号を順次カウントする。デコーダ130hにはBC130cの出力信号A1DとBC130dの出力信号A2Dが供給される。デコーダ130hは、これら信号に基づき、制御信号PAGE\_E（O）を出力する。

### 【0048】

また、B C 1 3 0 e にはクロック信号CLKと接地電圧VSSが供給され、B C 1 3 0 f にはクロック信号CLKとアドレスビットA1の信号が供給され、B C 1 3 0 g にはクロック信号CLKとアドレスビットA2の信号が供給される。B C 1 3 0 f、1 3 0 g は、アドレスビットA1、A2の信号に応じて、カウンタ1 3 0 e の出力信号を順次カウントする。デコーダ1 3 0 i にはB C 1 3 0 f の出力信号A1DDとB C 1 3 0 g の出力信号A2DDが供給される。デコーダ1 3 0 i は、これら信号に基づき、制御信号PAGE\_O (E) を出力する。

#### 【0049】

図18は、デコーダ1 3 0 h から出力される偶数ページの制御信号PAGE\_Eと、デコーダ1 3 0 i から出力される奇数ページの制御信号PAGE\_Oを示している。制御信号PAGE\_E、PAGE\_Oは、それぞれ2クロックの周期を有し、制御信号PAGE\_Eと制御信号PAGE\_Oは、互いに1クロックの位相差を有している。前記出力スイッチ回路114において、奇数、偶数のデコードは1クロック毎に実行される。これに対して、ページデコーダ24は、2クロック毎にデコードされる。

#### 【0050】

尚、図18は、偶数ページに対して奇数ページが1クロック遅れた場合を示している。しかし、開始アドレスによっては、奇数ページに対して偶数ページが1クロック遅れる。この場合の構成及び動作については省略する。

#### 【0051】

図19は、バンク選択回路140の一例を示している。このバンク選択回路140は、図8に示すバンク選択回路と同様であるため、同一部分には同一符号を付し、詳細な説明は省略する。このバンク選択回路140は、BGAの最上位ビットA22の信号と、不良アドレスを検出したことを示す一致信号(HITBRD)に応じて、バンク選択信号SELRIGHT (BGA) 又はSELLEFT (BGA) を出力する。

#### 【0052】

図20は、出力選択回路150の一例を示している。この出力選択回路150は、直列接続された4つのDFF51a～51dにより構成されている。例えば

前記バンク選択信号SELLEFT(BGA)は、DFF51aの入力端に供給される。各DFF51a～51dには、クロック信号CLK、CLKBが供給されている。バンク選択信号SELLEFT(BGA)は、クロック信号CLK、CLKBに応じて、DFF51a～51dに順次転送される。DFF51cから出力される信号SELLEFT\_Eは、3クロック目にハイレベルとなり、DFF51dの出力信号SELLEFT\_Oは、4クロック目にハイレベルとなる。このようにして生成された制御信号SELLEFT\_E、SELLEFT\_Oは、出力スイッチ回路114に供給される。

#### 【0053】

図21は、前記出力スイッチ回路114の一例を示している。出力スイッチ回路114は、32I/Oを16I/Oにデコードする第1のデコーダ114a、114bと、16I/Oのデータを1ワードにデコードする第2のデコーダ114c、114dにより構成されている。具体的には、出力スイッチ回路114は、図21に示す回路が16個配置されている。

#### 【0054】

第1のデコーダ114aは、2つのAND回路と、これらAND回路の出力信号が供給されるNOR回路とから構成されている。2つのAND回路には、制御信号SELLFT\_E、バンク2の偶数ページのデータDATALEFT\_E、制御信号SELRIGHT\_E、バンク1の偶数ページのデータDATALEFT\_Eが供給される。また、第1のデコーダ114bの2つのAND回路には、制御信号SELLFT\_O、バンク2の奇数ページのデータDATALEFT\_O、制御信号SELRIGHT\_O、バンク1の奇数ページのデータDATALEFT\_Oが供給される。

#### 【0055】

第1のデコーダ114aの出力信号は、第2のデコーダ114cに供給される。この第2のデコーダ114cは、例えば奇数選択信号ODD、偶数選択信号EVNにより制御されるクロックドインバータ回路により構成されている。また、第1のデコーダ114bの出力信号は、第2のデコーダ114dに供給される。この第2のデコーダ114dは、例えば偶数選択信号EVN、奇数選択信号

ODDにより制御されるクロックドインバータ回路により構成されている。第2のデコーダ114dの出力端は、第2のデコーダ114dの出力端に接続されている。

#### 【0056】

図22は、前記制御信号SELRIGHT\_E、SELRIGHT\_Oの生成回路を示している。これら制御信号SELRIGHT\_E、SELRIGHT\_Oは、出力スイッチ回路114の内部に設けられた2つのインバータ回路114e、114fにより、制御信号SELLLEFT\_E、SELLLEFT\_Oを反転して生成される。

#### 【0057】

図23は、前記偶数選択信号EVEN及び奇数選択信号ODDの生成回路の一例を示している。この生成回路160は、バイナリカウンタ（BC）160a、インバータ回路160bにより構成されている。バイナリカウンタ（BC）160aには、最下位アドレスビットA0の信号とクロック信号CLK及び電源電圧VDDが供給される。このBC160aの出力端から奇数選択信号ODDが出力され、この奇数選択信号ODDをインバータ回路160bにより反転して偶数選択信号EVENが生成される。したがって、奇数選択信号ODDと偶数選択信号EVENは1クロック毎に交互に出力される。

#### 【0058】

図24は、バースト・コンティニアス・リード動作の一例を示している。図24を参照して動作について説明する。先ず、外部クロック信号CLKに同期した信号AVDに応じて外部から供給されるアドレス信号(ex-ADD)がラッチされる。このアドレス信号の変化に応じて図示せぬアドレス遷移検出回路の出力信号ATDがハイレベルとなる。この信号ATDに応じて次の動作が行なわれる。すなわち、第1レイテンシ経過後、信号CLKENが立ち上がり、バースト動作が開始される。メモリセルからデータを読み出し、センスアンプ21によりデータを検知し、第1のラッチ回路22にセンスアンプ21からのデータをラッチする動作は、第1の実施形態と同様である。また、第1レイテンシの長さは、任意に設定可能である。

### 【0059】

図4に示す第1の実施形態において、同期ラッチ回路からなる第2のラッチ回路（S L T）23は、信号A T Dから4クロック後に非同期ラッチ回路からなる第1のラッチ回路（A L T）22のデータを保持していた。これに対して、第3の実施形態において、第2のラッチ回路（S L T）23は、最初を除き、信号A T Dから3クロック後に偶数ページのデータを保持し、4クロック後に奇数ページのデータを保持する。すなわち、偶数ページのデータは、奇数ページのデータより1クロック前に第2のラッチ回路23に保持される。ページデコーダ（P D）24は、制御信号P A G E\_E、P A G E\_Oに従って、第2のラッチ回路（S L T）23に保持された偶数ページのデータと、奇数ページのデータを交互に対応する第1乃至第4のデータ線110～113のいずれかに転送する。出力スイッチ回路114は、制御信号S E L L E F T\_E、S E L L E F T\_O、S E L R I G H T\_E、S E L R I G H T\_Oに従って、選択されたバンクのデータを出力する。例えばバンク1が選択されている場合、出力スイッチ回路114は、第1のデータ線110から供給される偶数ページのデータと、第2のデータ線111から供給される奇数ページのデータを偶数選択信号E V E Nと、奇数選択信号O D Dに応じて順次出力する。

### 【0060】

図25は、バンク境界におけるリード動作を示している。図25に示すようにバンク1からバンク2にリード動作が移行する場合、バック・グランド・アドレス（B G A）がバンクの境界を通過するとき、図19に示すバンク選択回路140はバンク2を選択するバンク選択信号S E L L E F T（B G A）を発生する。図20に示す出力選択回路150は、バンク選択信号S E L L E F Tから3クロック遅れて信号S E L E F T\_Eを出力し、4クロック遅れて信号S E L E F T\_Oを出力する。このため、バンク2の第2のラッチ回路（S L T\_L）に保持されたデータは、バンク1の第2のラッチ回路（S L T\_R）に保持されたデータより遅れて出力スイッチ回路114から出力される。

### 【0061】

尚、出力スイッチ回路114から連続してデータを出力するため、出力すべき

データは、出力のタイミングより 1 クロック前に出力スイッチ回路 114 に転送されている必要がある。このため、信号 S E L E F T\_E は、バンク選択信号 S E L L E F T から 3 クロック後に発生し、信号 S E L E F T\_O は、バンク選択信号 S E L L E F T から 4 クロック後に発生させている。このような動作により、2 つのバンクの境界におけるデータを連続的に読み出すことができる。

#### 【0062】

上記第3の実施形態によれば、バンク 1 に対応して、第 1、第 2 のバス線 110、111 を設け、バンク 2 に対応して第 3、第 4 のバス線 112、113 を設け、これら第 1 乃至第 4 のバス線 110～113 を介して偶数ページ、奇数ページのデータを出力可能としている。第 1 乃至第 4 のバス線 110～113 は、それぞれ 16 本であるため、第 1、第 2 の実施形態に比べて 2 倍のビット幅を有している。しかし、従来に比べて格段にエリアペナルティを削減できる。

#### 【0063】

また、偶数ページ及び奇数ページの一方のデータを出力スイッチ回路 114 から出力しているとき、偶数ページ及び奇数ページの他方のデータは、ページデコーダ 24 を介して第 1 乃至第 4 のバス線 110～113 のいずれかに出力されている。このため、同期ラッチ回路としての第 2 のラッチ回路 23 から出力スイッチ回路 114 までの遅延を減少でき、高速動作が可能となる。

#### 【0064】

尚、上記各実施形態は、N O R 型のフラッシュ EEPROMについて説明した。しかし、これに限定されるものではなく、バースト読み出しを用いたメモリであれば、メモリセルの種類に拘わらず上記各実施形態を適用することができる。

#### 【0065】

さらに、第 2 の実施形態と第 3 の実施形態を組み合わせることも可能である。

その他、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

#### 【0066】

##### 【発明の効果】

以上、詳述したように本発明によれば、バス線のエリアが増大することを防止でき、且つ、確実な読み出し動作が可能な半導体記憶装置を提供できる。

**【図面の簡単な説明】**

**【図 1】**

本発明の第 1 の実施形態を示す構成図。

**【図 2】**

図 1 の一部を具体的に示す構成図。

**【図 3】**

図 2 の一部を具体的に示す回路図。

**【図 4】**

図 1 乃至 3 の動作を説明するために示すタイミングチャート。

**【図 5】**

図 3、図 4 に示す制御信号 DATA LATB の生成回路の一例を示す回路図。

**【図 6】**

図 6 に示す DFF の一例を示す回路図。

**【図 7】**

図 5 の動作を示すタイミングチャート。

**【図 8】**

バンク選択回路の一例を示す回路図。

**【図 9】**

出力選択回路の一例を示す回路図。

**【図 10】**

本発明の第 2 の実施形態を示す構成図。

**【図 11】**

不良アドレス検出回路 70 の一例を示す構成図。

**【図 12】**

図 10、図 11 の動作を示すタイミングチャート。

**【図 13】**

本発明の第 3 の実施形態を示す構成図。

**【図 1 4】**

図 1 3 の一部を具体的に示す回路図。

**【図 1 5】**

図 1 3、図 1 4 に示す制御信号 DATA LATB\_E、DATA LATB\_O の生成回路の一例を示す回路図。

**【図 1 6】**

図 1 5 の動作を示すタイミングチャート。

**【図 1 7】**

図 1 3、図 1 4 に示す制御信号 PAGE\_E、PAGE\_O の生成回路の一例を示す回路図。

**【図 1 8】**

図 1 7 の動作を示すタイミングチャート。

**【図 1 9】**

バンク選択回路の一例を示す回路図。

**【図 2 0】**

出力選択回路の一例を示す回路図。

**【図 2 1】**

出力スイッチ回路 114 の一例を概略的に示す回路図。

**【図 2 2】**

制御信号 SELRIGHT\_E、SELRIGHT\_O の生成回路の一例を示す回路図。

**【図 2 3】**

偶数選択信号 EVEN 及び奇数選択信号 ODD の生成回路の一例を示す回路図。

。

**【図 2 4】**

第 3 の実施形態に係るバースト・コンティニアス・リード動作の一例を示すタイミングチャート。

**【図 2 5】**

バンク境界におけるリード動作の一例を示すタイミングチャート。

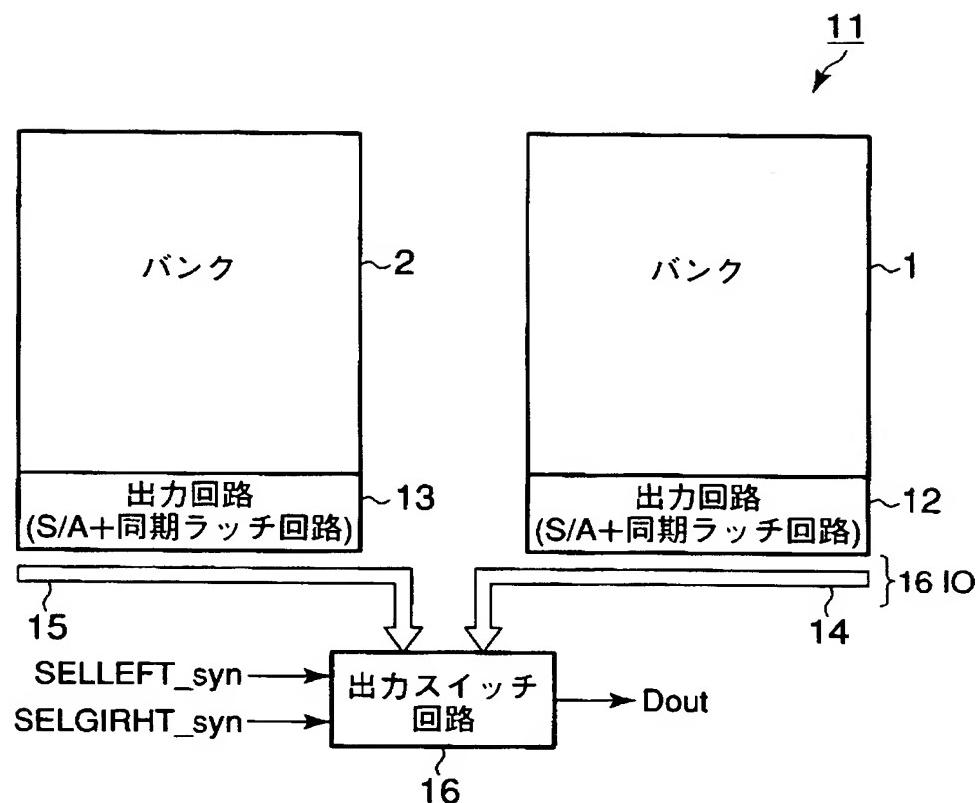
**【図26】**

従来の半導体記憶装置の一例を示す構成図。

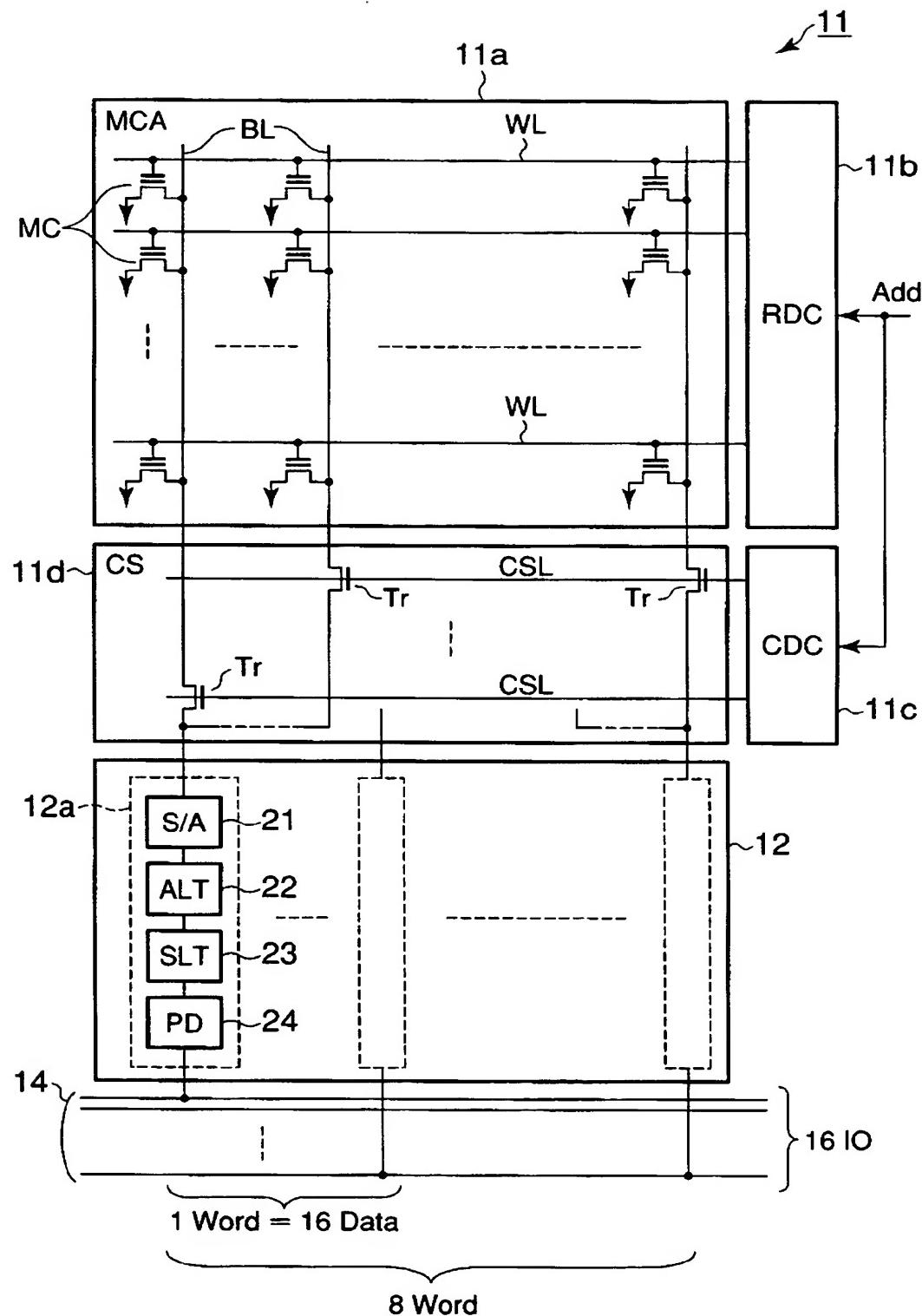
**【符号の説明】**

1, 2…バンク、11…半導体記憶装置、12、13…出力回路、14、15…バス線、16…出力スイッチ回路、21…センスアンプ、22…第1のラッチ回路（非同期ラッチ回路）、23…第2のラッチ回路（同期ラッチ回路）、24…ページデコーダ、30…制御信号DATA1ATBの生成回路、40…バンク選択回路、50…出力選択回路、61…冗長ブロック、71…不良アドレスメモリ、73…比較回路、110～113…第1乃至第4のバス線、114…出力スイッチ回路。

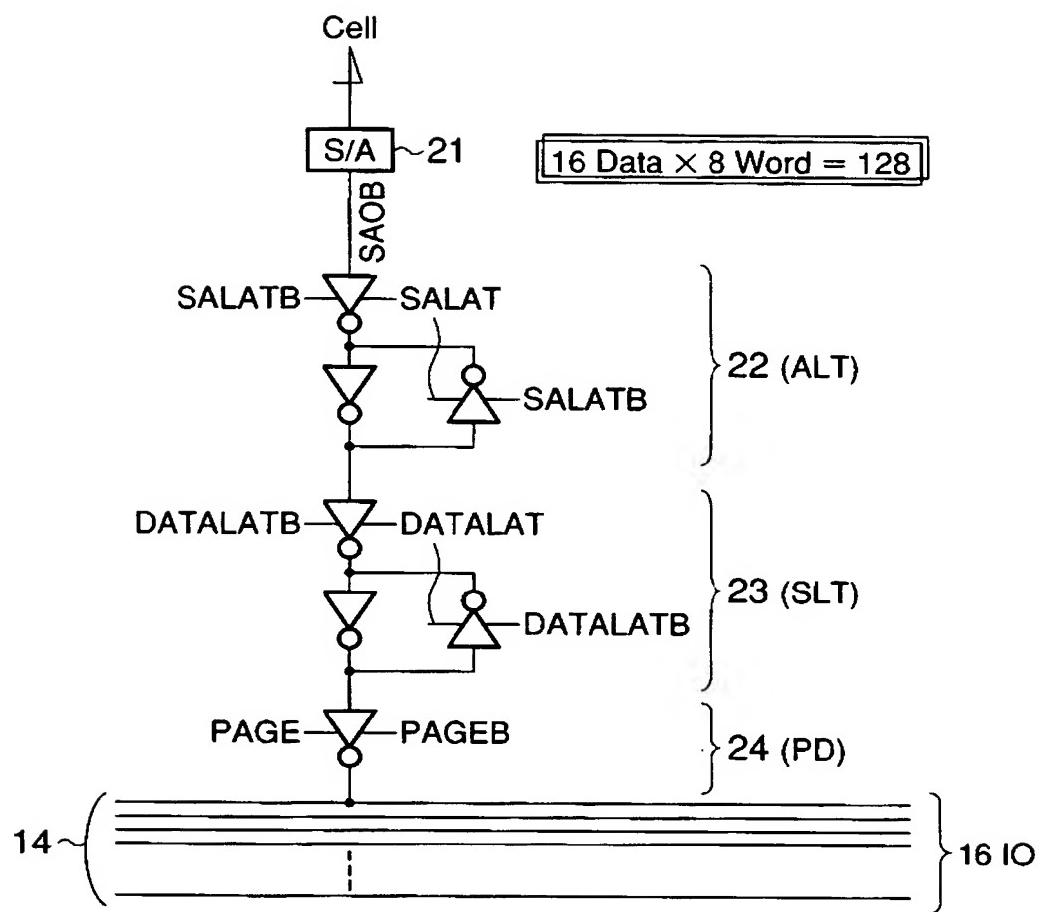
【書類名】 図面  
【図 1】



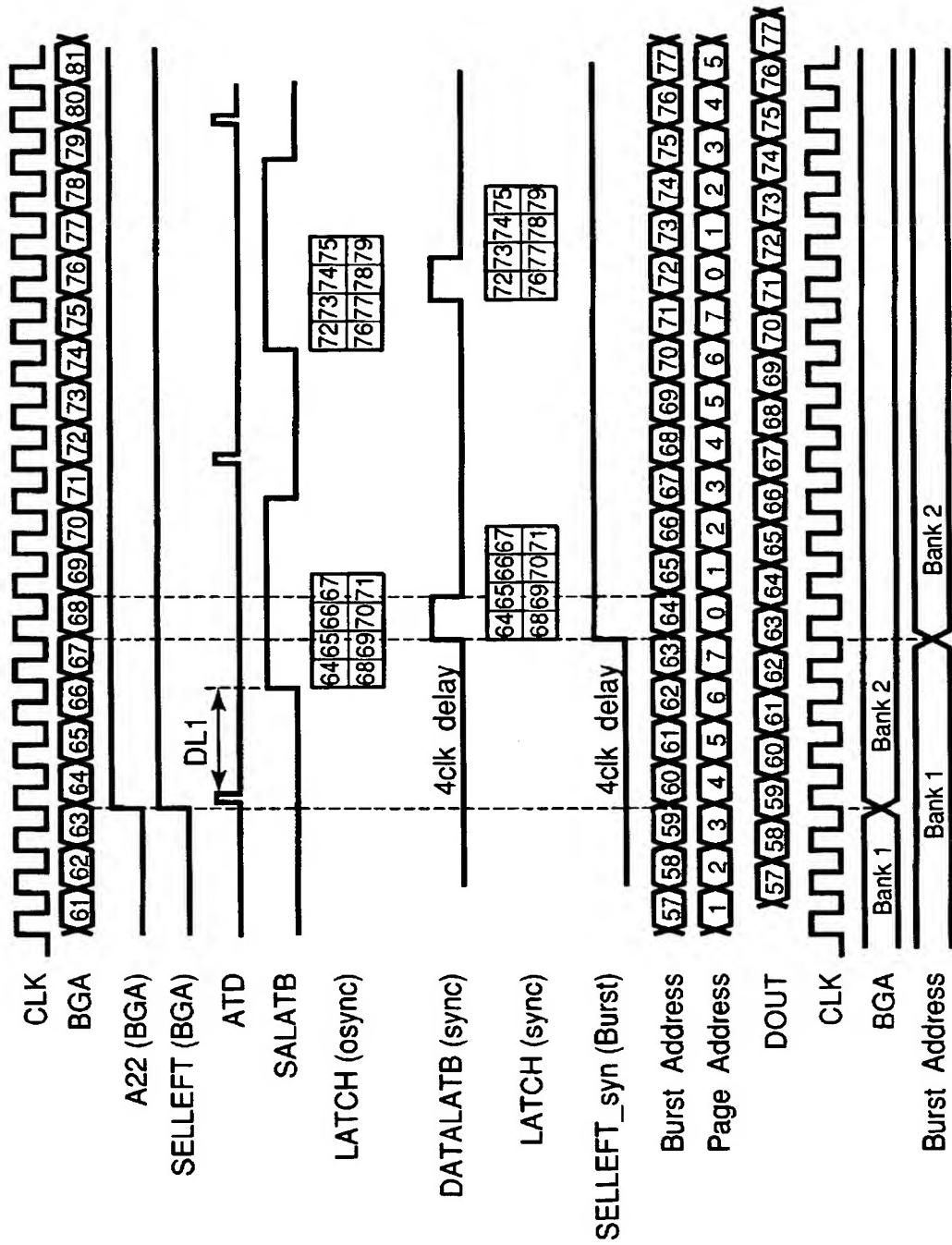
【図 2】



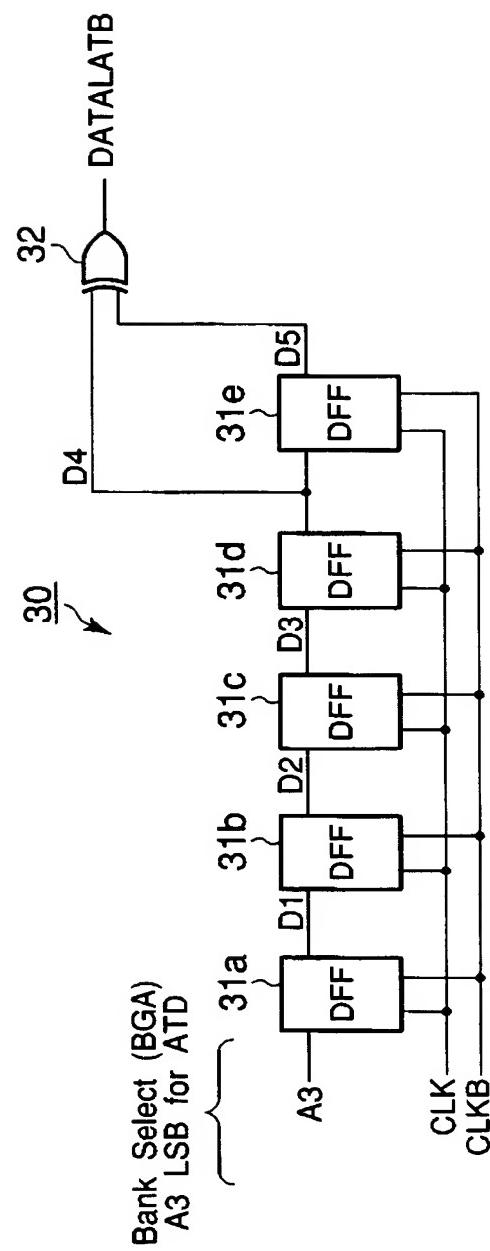
【図3】



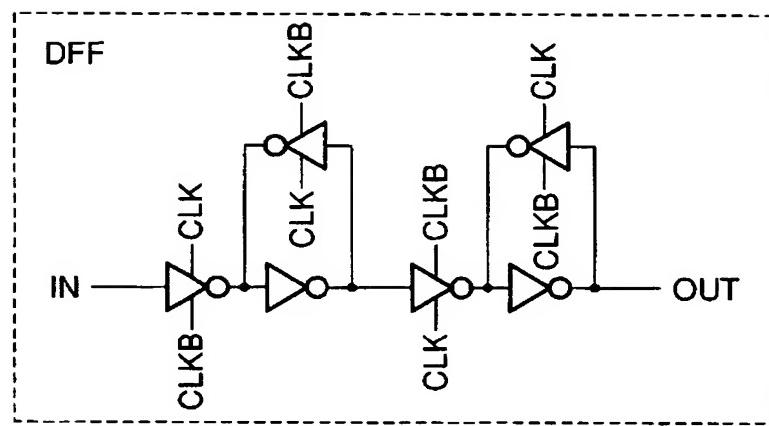
【図 4】



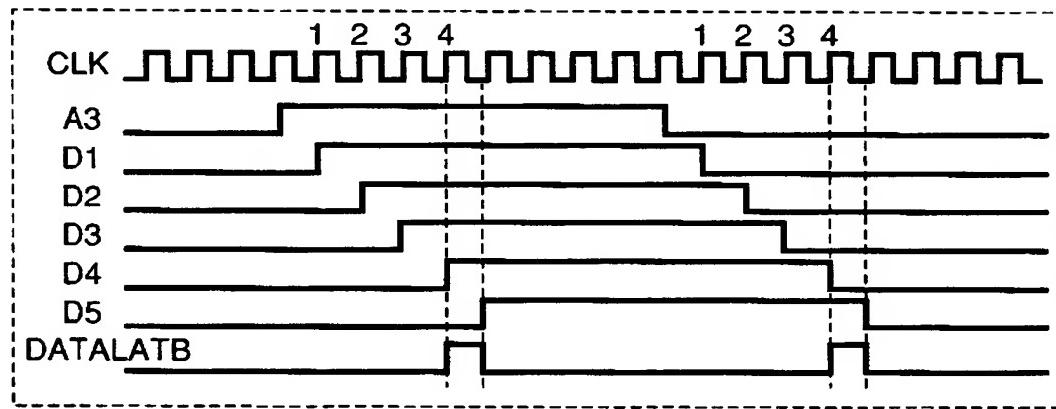
【図 5】



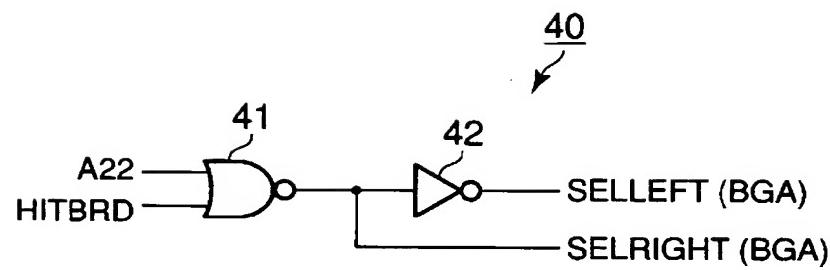
【図 6】



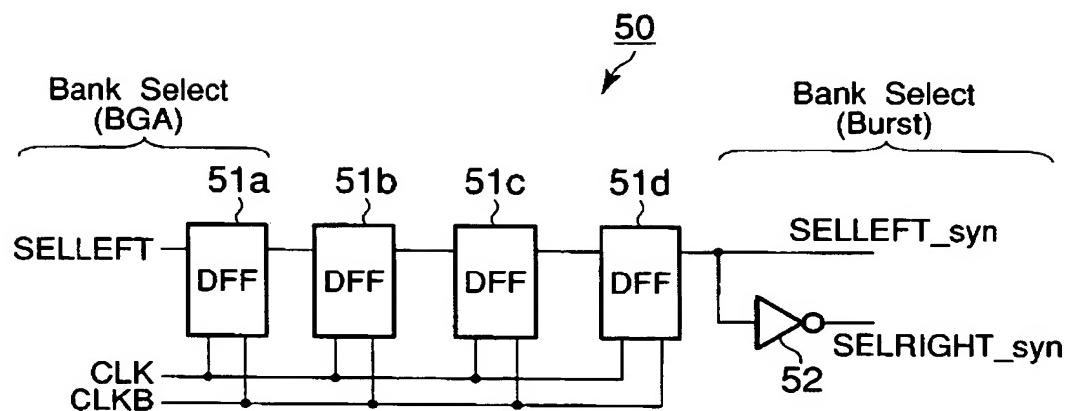
【図 7】



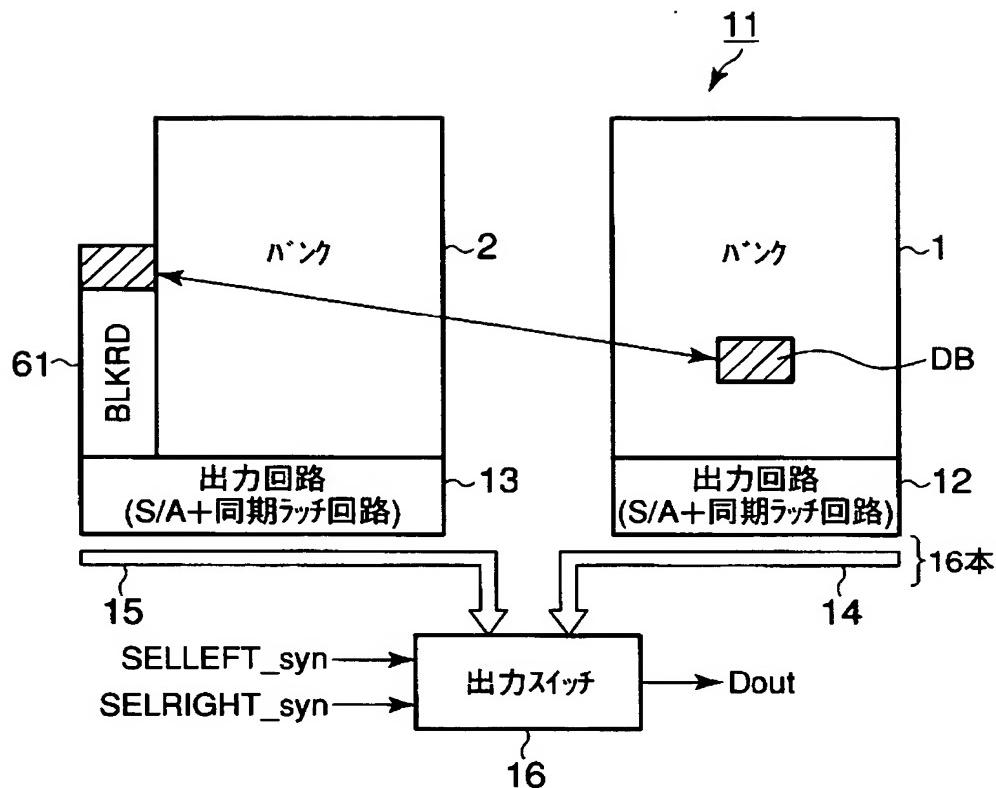
【図 8】



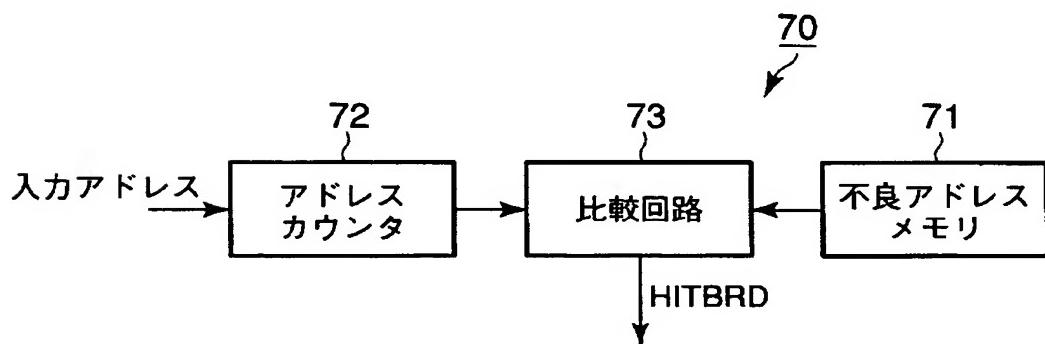
【図 9】



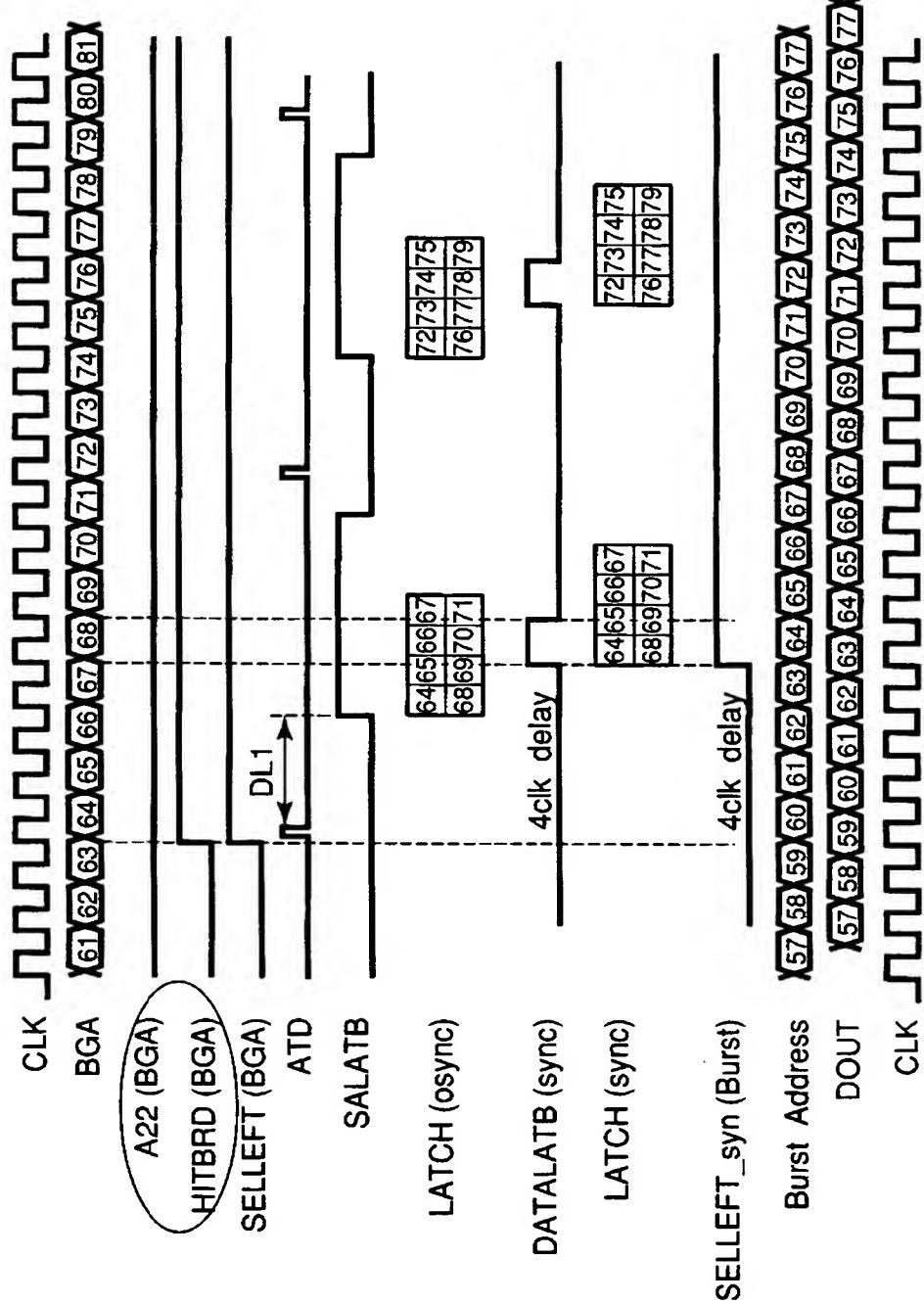
【図10】



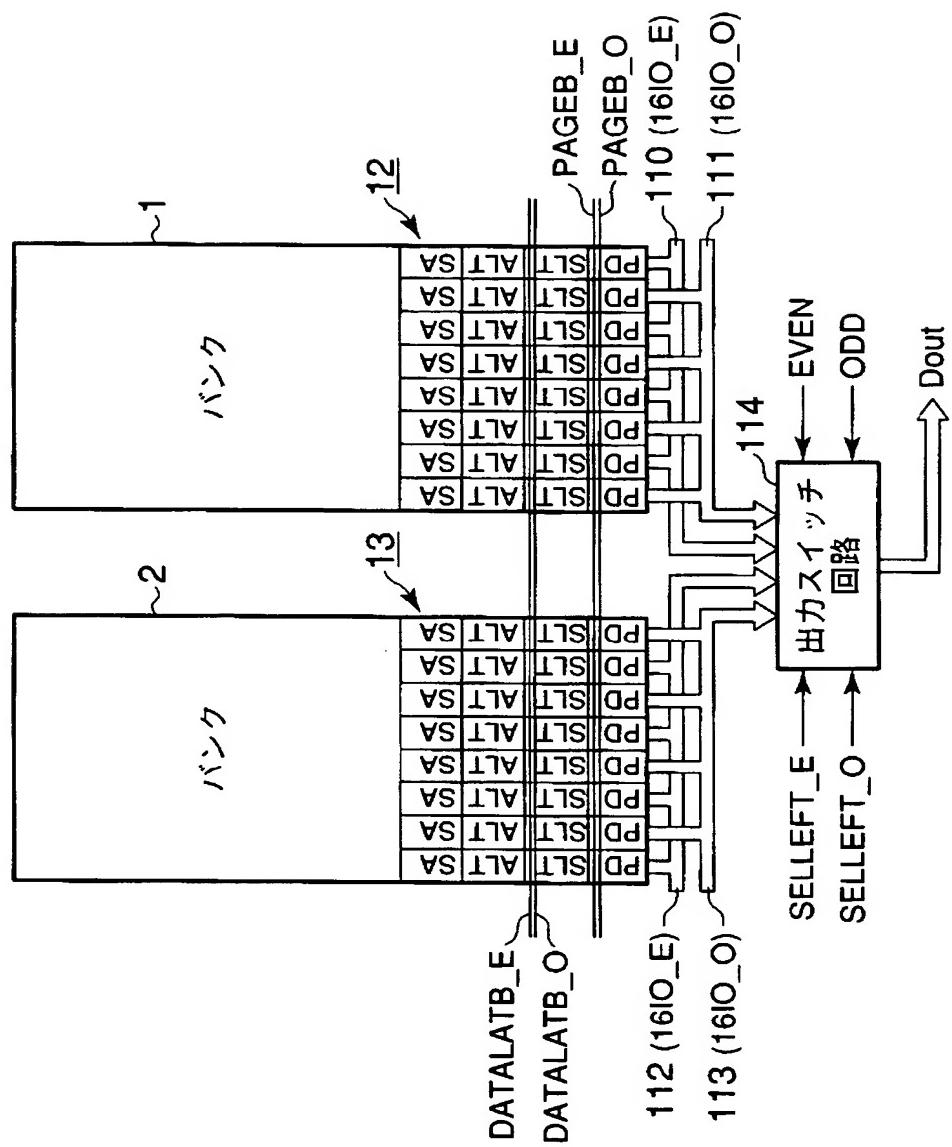
【図11】



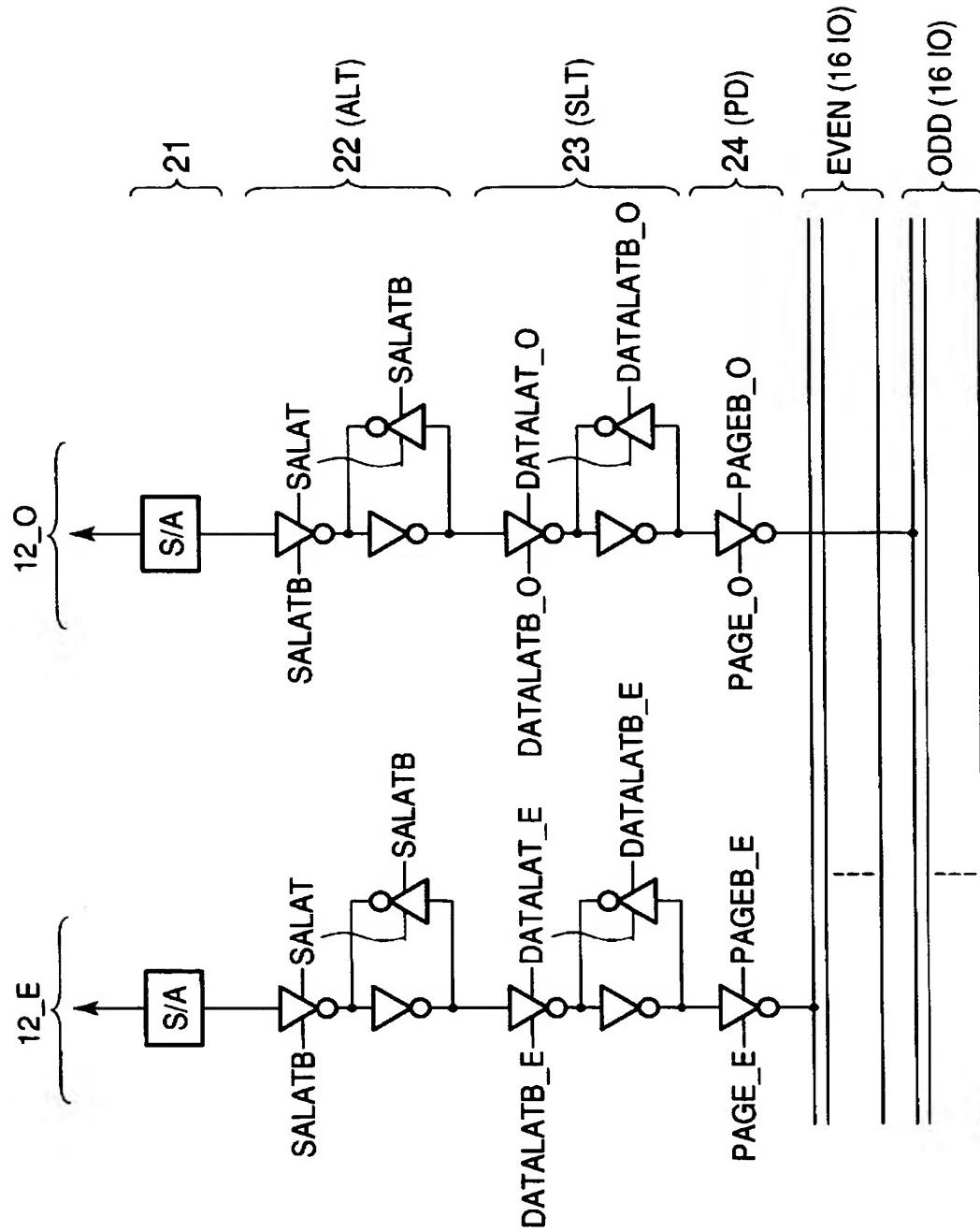
【図 12】



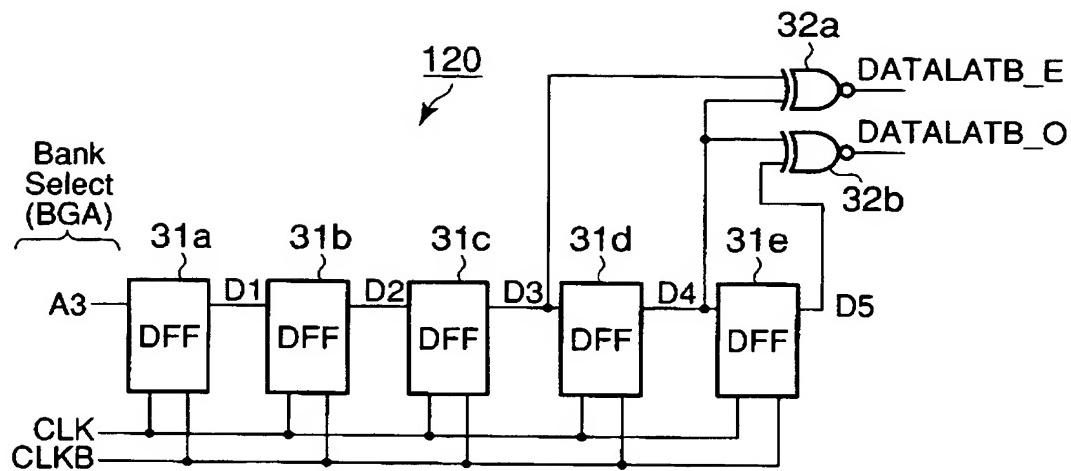
【図13】



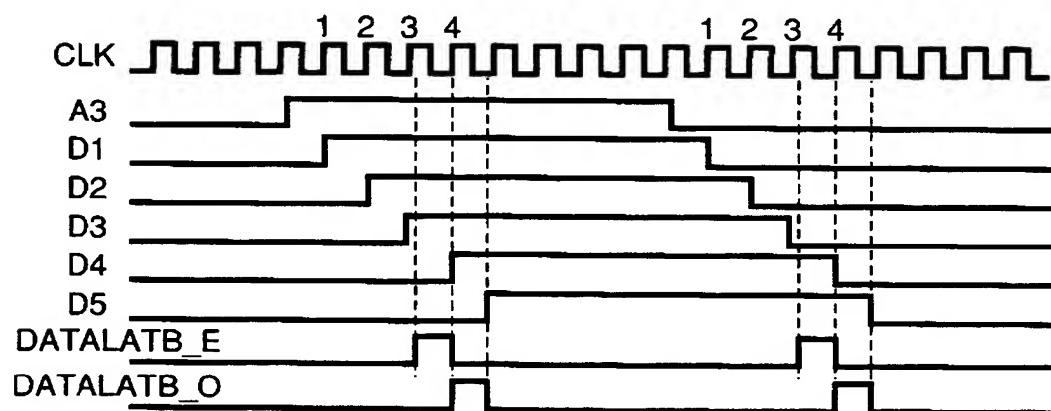
【図 1 4】



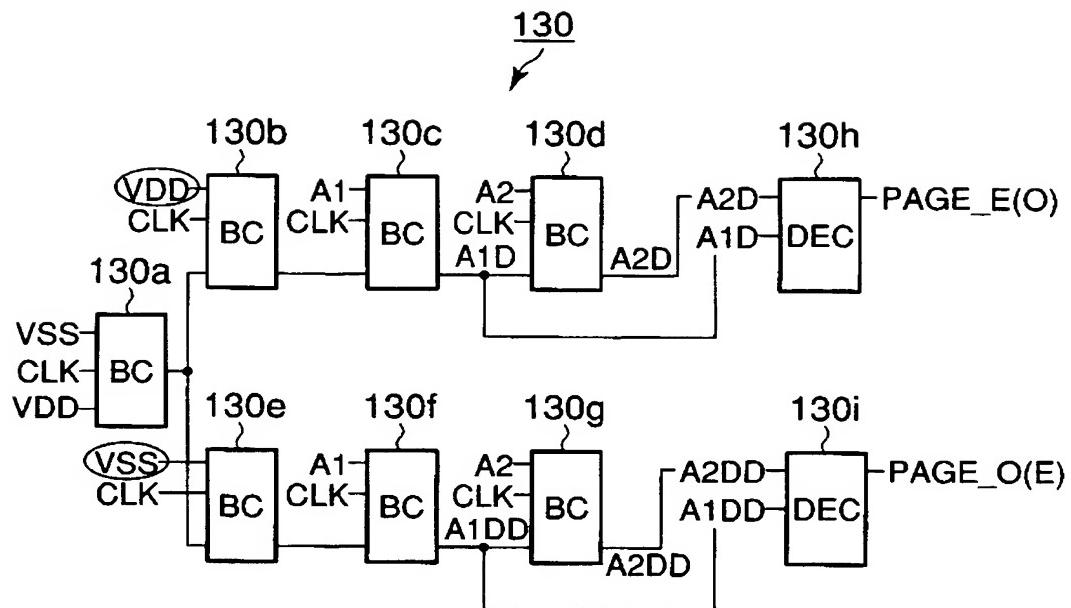
【図 15】



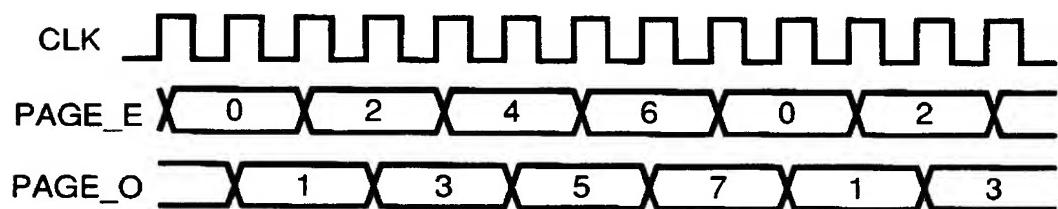
【図 16】



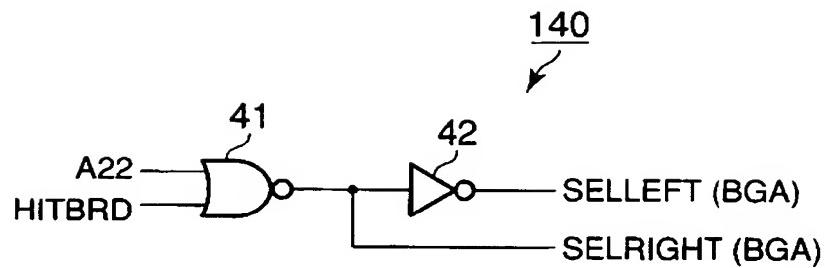
【図 17】



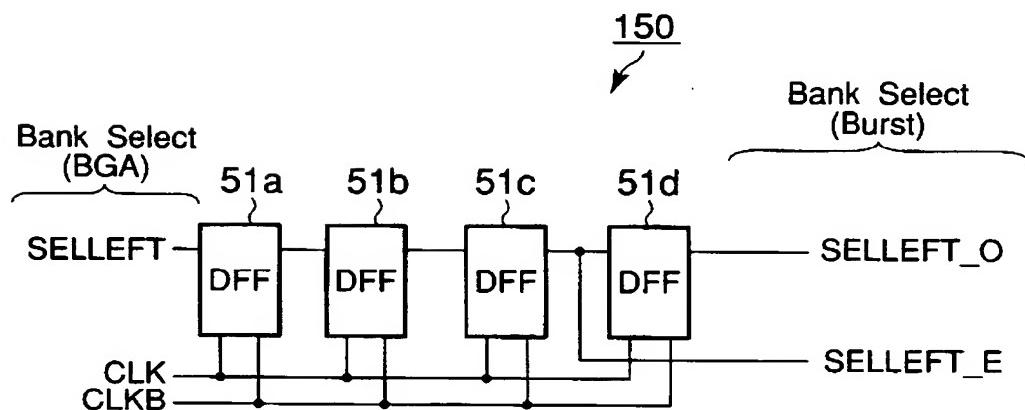
【図 18】



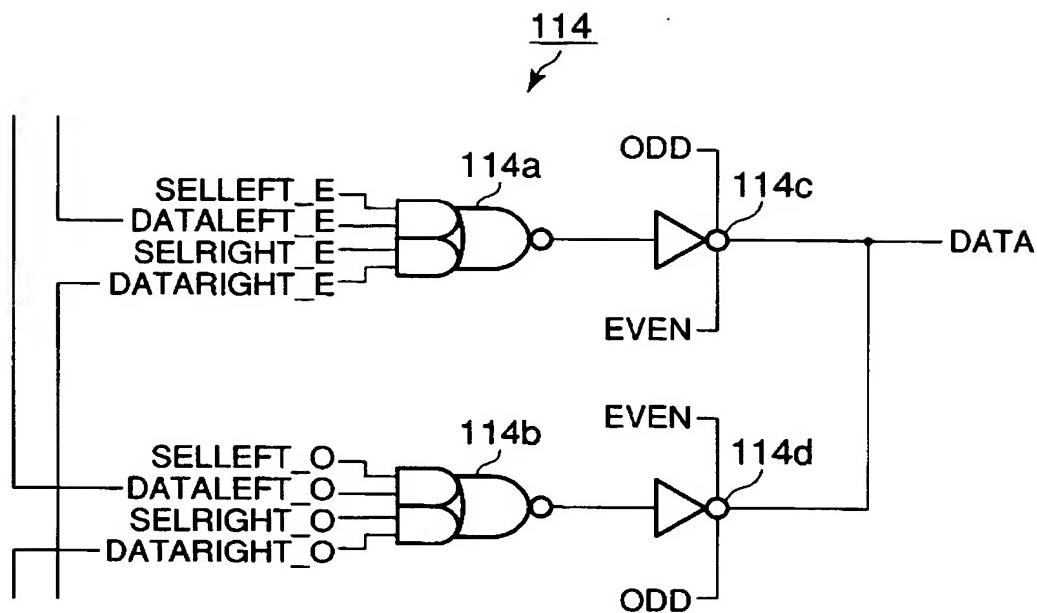
【図 19】



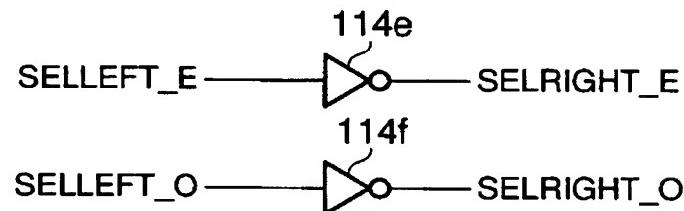
【図 20】



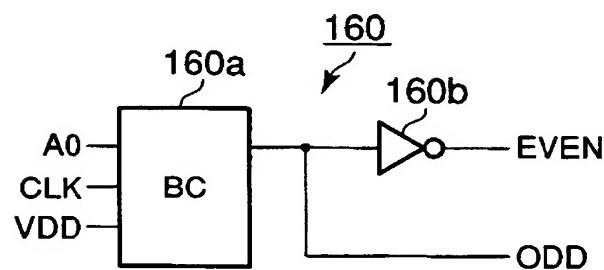
【図 2 1】



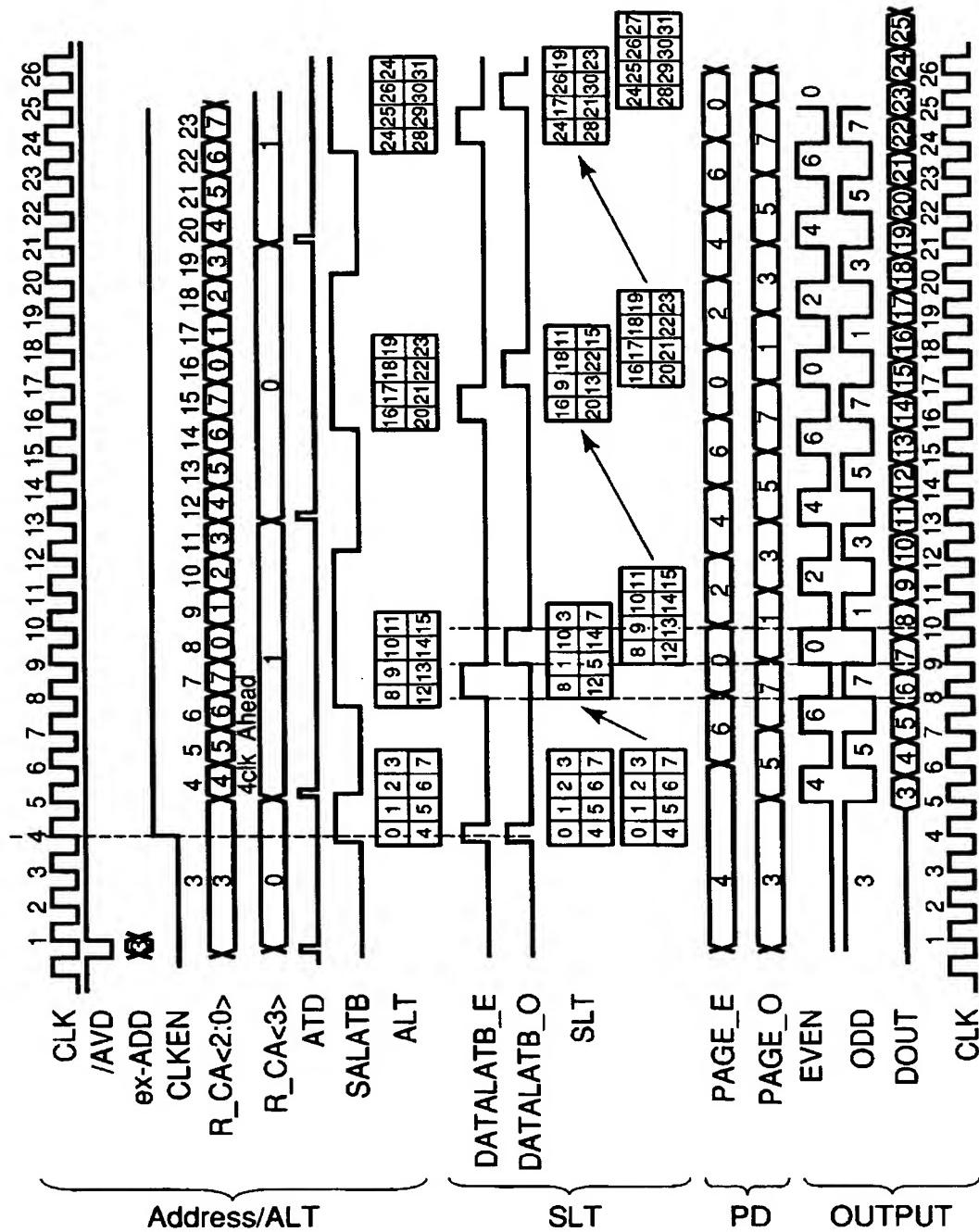
【図 2 2】



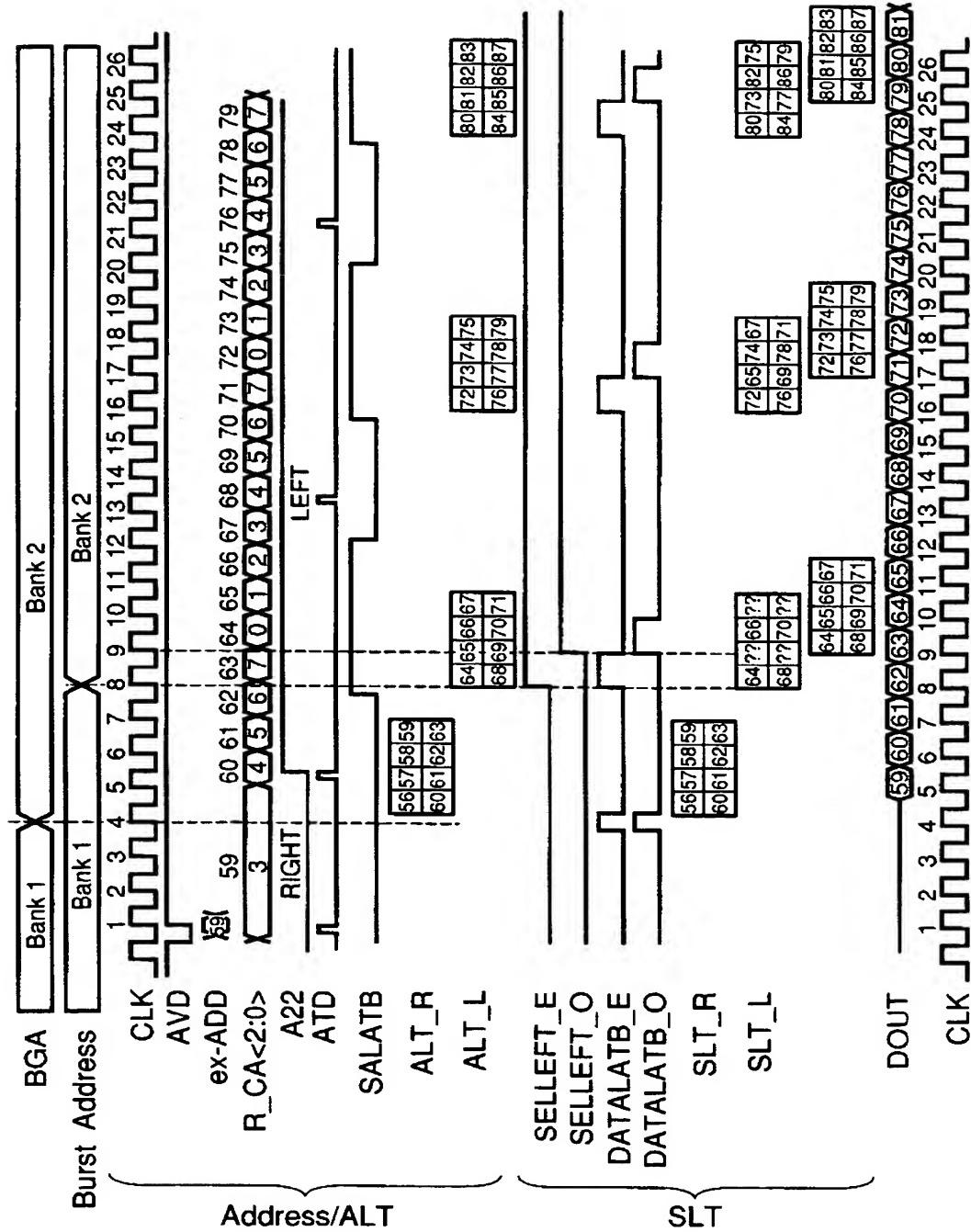
【図 2 3】



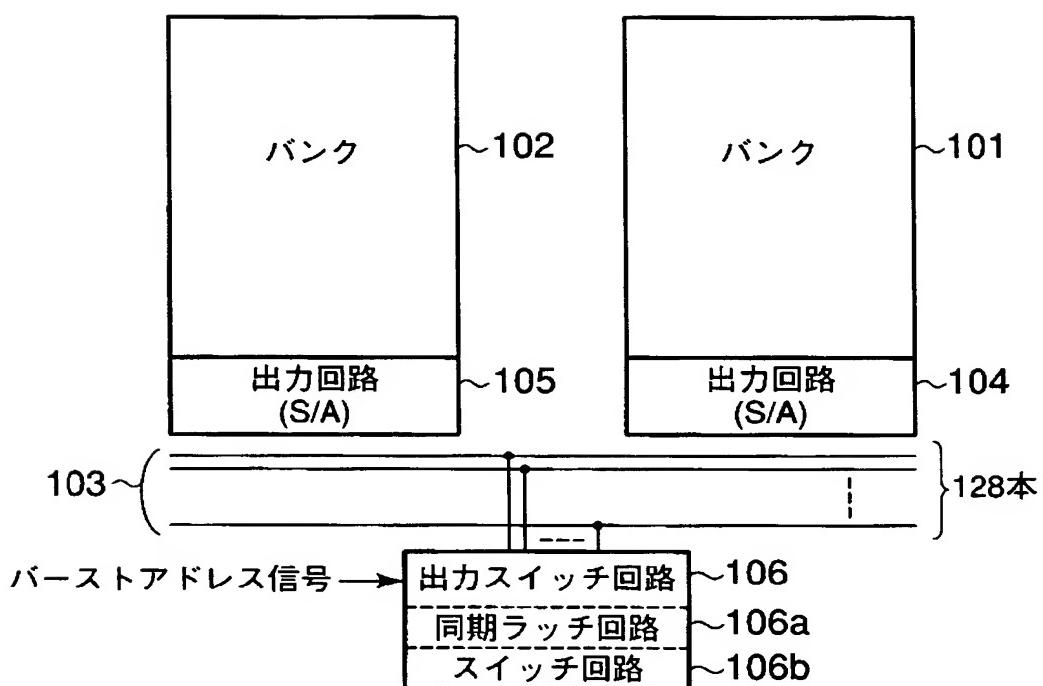
【図24】



【図 25】



【図26】



【書類名】 要約書

【要約】

【課題】 バースト長に応じてバス線のエリアが増大していた。

【解決手段】 1ワード分のビット幅を有するデータ線14、15は、バンク1，2から読み出されたデータを出力スイッチ回路16に伝送する。複数のセンスアンプ21は、各バンク1，2のメモリセルからバック・グラウンド・リード・アドレス（BGA）に応じて読み出されたデータを検出する。複数の第1の保持回路は、各センスアンプ21から出力されるデータをそれぞれ保持する。複数の第2の保持回路23は、BGAがバースト・アドレスに対して進んでいる時間分遅れて、各第1の保持回路から出力されるデータをそれぞれ保持する。デコーダ24は、複数の第2の保持回路23に保持されたデータを対応するデータ線14，15にそれぞれ供給する。

【選択図】 図1

特願 2003-205379

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝